

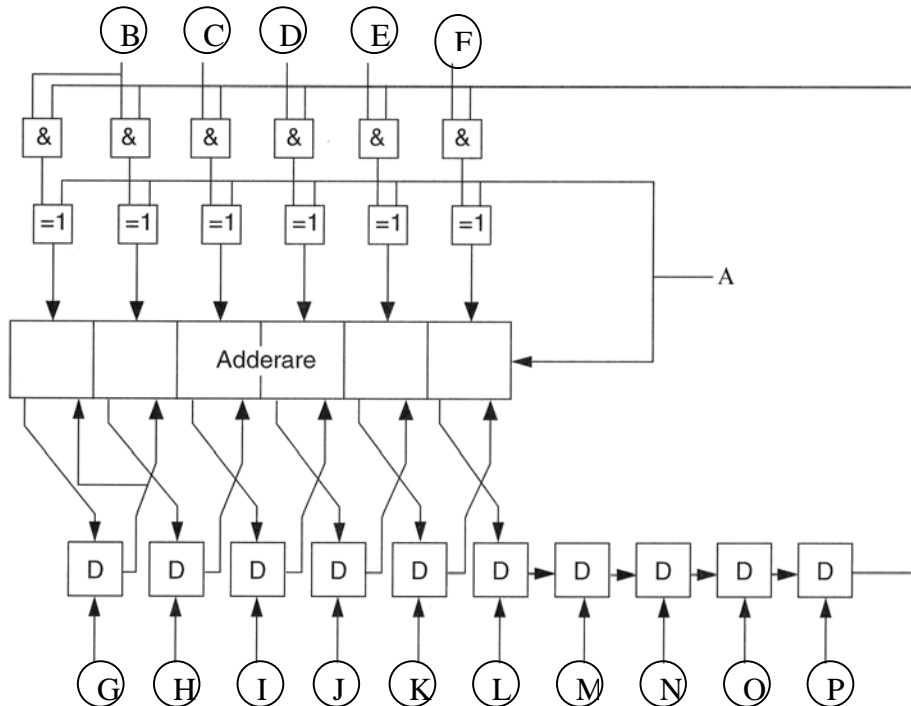


Försättsblad till skriftlig tentamen vid
Linköpings universitet, Datorteknik, ISY

Tentamen i Datorteknik, TSEA28

<i>Datum för tentamen</i>	090813
<i>Sal</i>	T1
<i>Tid</i>	8.00-12.00
<i>Kurskod</i>	TSEA28
<i>Provkod</i>	TEN1
<i>Kursnamn/benämning</i>	Datorteknik
<i>Institution</i>	ISY
<i>Antal uppgifter som ingår i tentamen</i>	7
<i>Antal sidor på tentamen (inkl. försättsbladet)</i>	13
<i>Jour/Kursansvarig</i>	Lennart Bengtsson
<i>Telefon under skrivtid</i>	1367
<i>Besöker salen ca kl.</i>	9.00
<i>Kursadministratör (namn/ tfnnr/mailadress)</i>	Ylva Jernling/2648/ylva@isy.liu.se
<i>Tillåtna hjälpmedel</i>	Inga
<i>Övrigt (exempel när resultat kan ses på webben, betygsgränser, visning, övriga salar tentan går i m.m.)</i>	För betyg 3 krävs 21 poäng För betyg 4 krävs 31 poäng För betyg 5 krävs 41 poäng

1.



- a) Hur många bitar innehåller operanderna? (1 p)
- b) Var matas operanderna in? (1 p)
- c) Hur sker spillkompensering? (1 p)
- d) Hur många bitar har svaret? (1 p)
- e) Vilken bitsekvens ska klockas in vid A innan svaret erhålls? (1 p)

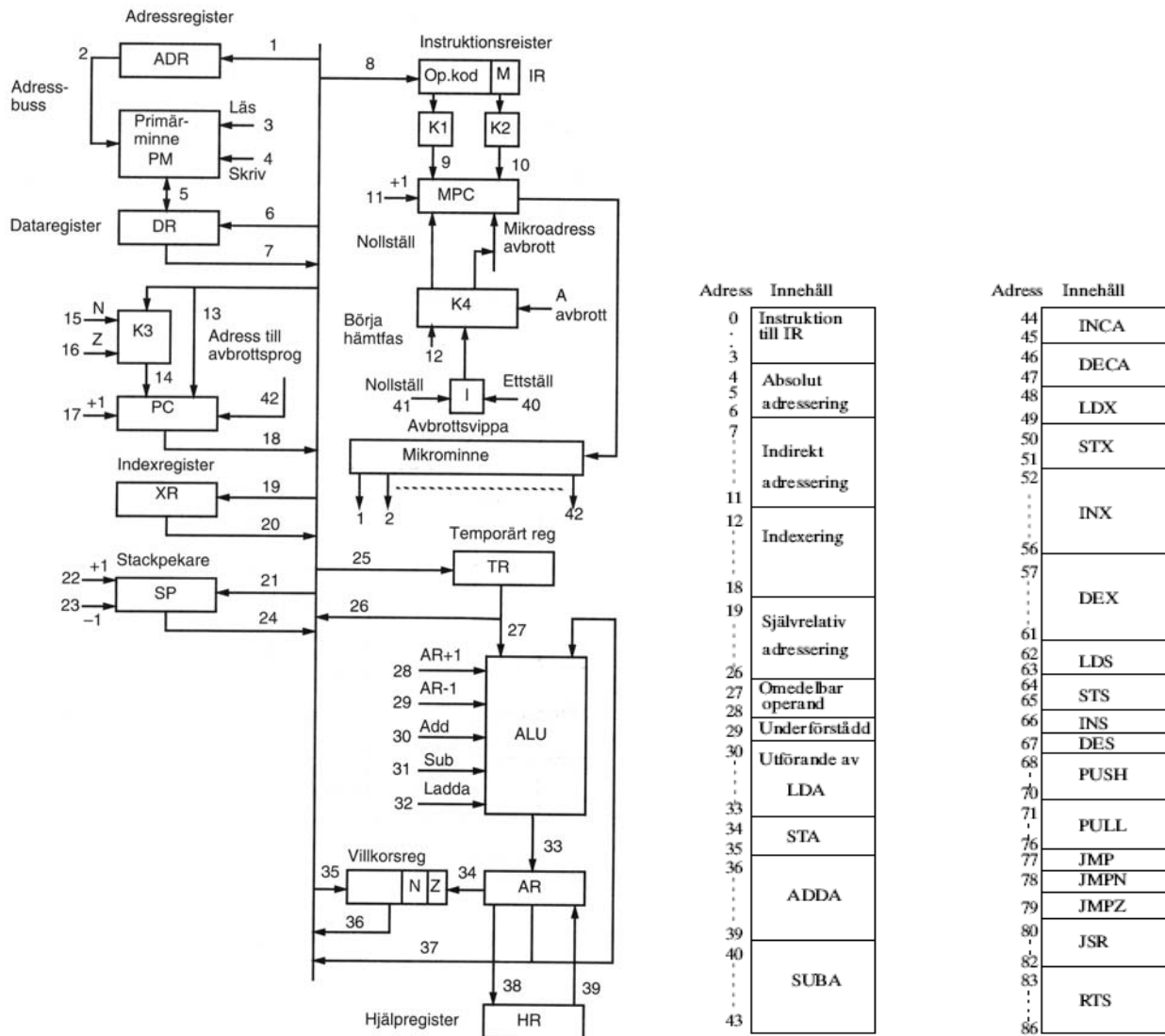
2.

- a) Beskriv hur en A/D-omvandlare enligt principen successiv approximation fungerar. (2 p)
- b) Hur ofta samplas insignalen om omvandlaren är på 8 bit och om systemets klockfrekvens är $f_{clk} = 1 \text{ kHz}$? (1 p)
- c) Antag att styrningsområdet för insignalen är 10 V. Vilken högsta derivata (slew rate) får insignalen då ha, om omvandling ska kunna ske utan att någon sample-and-hold-krets behöver användas? (d.v.s. insignalen får under omvandlingen ändra sig med högst ett i minst signifikant position). Uppgiften kan lösas utan några kunskaper i elektronik. (3 p)

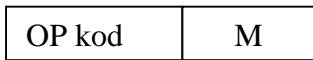
3.

- a) Vad menas med minnesmappad in/ut-matning? (1 p)
- b) Nämn en fördel och en nackdel med minnesmappad in/ut-matning jämfört med in/ut-matning via separat I/O-buss. (2 p)
- c) När används DMA för in/ut-matning? (1 p)

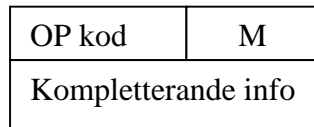
4. Figuren visar blockschemat över en dator. Även mikrominnets indelning, instruktionsformat och adresseringsmoder visas i figuren.



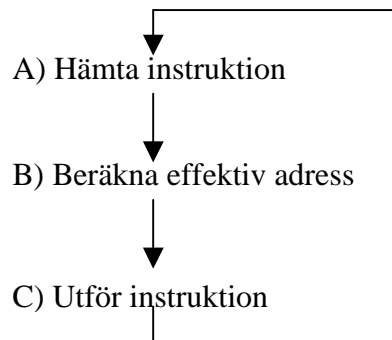
Instruktionsformat 1:



Instruktionsformat 2:



- M adresseringsmetod
- 000 Absolut
- 001 Indirekt
- 010 Indexerad
- 011 Självrelativ
- 100 Omedelbar
- 101 Underförstådd



forts.

- a) Vad utför nätet K4? Ange funktionstabell. (2 p)
- b) Ange effektiv adress för samtliga adresseringsmoder. (3 p)
- c) Skriv mikroprogrammet för block B, för adresseringsmod 010. (3 p)
- d) Skriv mikroprogrammet för block C, för instruktionen PUSH. (2 p)
- e) Hur många komponenter i schemat är synkrona? (1 p)
- f) Om $f_{clk} = 10$ MHz, hur lång blir då instruktionstiden för INX? (2 p)
- g) Beskriv med flödesschema vad mikroprogrammet för avbrott utför. (2 p)

5. Antag att vi har ett system baserat på en Motorola 68008-processor. Följande innehåll återfinns i register och minne (hex-kod):

D0 = 12345678	A0 = 00002000	2000 = FA	2001 = C0
D1 = 9ABCDEF0	A1 = 00002001	2002 = EA	2003 = F0
D2 = 11223344	A2 = 00002002	2004 = 4A	2005 = 63
D3 = 55667788	A3 = 00002004	2006 = 00	2007 = 02
D4 = 00120034	A4 = 00011006	2008 = FF	2009 = FF
D5 = C01DFF32	A5 = 0000200A	200A = 20	200B = 06
D6 = AABBCDD	A6 = 00011004	200C = 10	200D = 10
D7 = 00010004	A7 = 00004000	200E = AB	200F = CD

Vad blir innehållet i destinationsregistret efter det att följande instruktioner utförts? Observera att *hela* registerinnehållet (32 bit) efterfrågas. Svaret ska anges i hex-kod.

- a) ADD.W D5, D6 (1 p)
- b) ASR.B #4, D1 (1 p)
- c) MOVE.L (A3)+, D0 (1 p)
- d) Vad finns i A3 efter det att instruktionen i c) utförts? (1 p)
- e) Vad finns i flaggorna C och V efter det att instruktionen i a) utförts? (2 p)
- f) Vad lagras på stacken vid avbrott i M68008? (1 p)
- g) Varför är följande instruktion ogiltig SUB.W -(A1), D7? (2 p)
- h) Är M68008 en RISC-dator? Motivera. (1 p)

- 6.
- a) Vad är skillnaden mellan accesstid (åtkomsttid) och cykeltid hos ett minne? (1 p)
- b) Ett DRAM kräver refresh (återskrivning), vilket ett SRAM inte kräver. Varför? (1 p)
- c) Den externa och den interna organisationen hos ett minne skiljer sig åt. Hur och varför? (2 p)

7. I en pipelinad dator har alla instruktioner fyra faser:

För hoppinstruktioner är dessa:

och för övriga instruktioner:

H: hämta instruktion

H: hämta instruktion

L: läs adress

L: läs operander

B: beräkna hoppadress

E: exekvera instruktion

U: utför hoppet

S: spara resultat

a) Den villkorliga hoppinstruktionen (BNE) kan för nedanstående kod ge upphov till en viss typ av konflikt i pipeline. På vilket sätt? (Operanderna i övriga instruktioner saknar betydelse). (2 p)

```
i1: ADD
i2: MUL
i3: TST
i4: BNE i8
i5: SLL
i6: AND
i7: SUB
i8: SRA
```

b) Beskriv två sätt på vilka problemet i a) kan lösas. Rita även figurer, t.ex. resurs-tid-diagram. (4 p)

1.

- a) 5
- b) B – F, L – P
- c) utökat talområde
- d) 9 bitar
- e) 00001

2.

- a) se DB kap 16
- b) Var 8:e ms
- c) $dA/dt [V/s] \cdot 8 [ms] < 10 [V] / 256 \Rightarrow dA/dt < \sim 5 [V/s]$

3.

- a) Portarna är en del av minnesrymden.
- b) + inga spec. instr. krävs, - stjäls minnesutrymme
- c) När stora datamängder ska flyttas mellan snabb yttre enhet och PM

4.

- a) b) c) d) g) se utdrag ur Roos kap 6
- e) 12
- f) $100 \text{ ns} \cdot (4 + 1 + 5) = 1 \text{ us}$

5.

- a) AABBC0F
- b) 9ABCDEFF
- c) 4A630002
- d) 00002008
- e) $C = 1, V = 0$
- f) PC, SR
- g) A1 har en udda adress
- h) Nej, se t.ex. utdrag ur Clements

6.

Se DW kap2

7.

Se DW kap 5