



# CHALMERS

Institutionen för elektroteknik

## TENTAMEN

<b>KURSNAMN</b>	Elektriska system
<b>PROGRAM:</b> namn	Elektroingenjör 180 hp
åk / läsperiod	3/1
<b>KURSBETECKNING</b>	SSY011
<b>EXAMINATOR</b>	Erik Agrell
<b>TID</b>	2019-11-01 kl 8:30–12:30
<b>HJÄLPMEDEL</b>	Typgodkänd räknare
<b>ANSV LÄRARE:</b> namn	Erik Agrell
telnr	031-772 1762
besöker tentamen kl	Ungefär kl 9:30 och 11:30
<b>DATUM FÖR ANSLAG</b> av resultat samt av tid och plats för genomgång av rättning	Resultaten meddelas senast 2019-11-22 Genomgång av rättning 2019-11-29 kl 12:00–13:00 i J427
<b>ÖVRIG INFORM.</b> (ex.vis antal frågor, uppgifter, poäng o dyl)	<ul style="list-style-type: none"><li>• Max 50 poäng</li><li>• För betyg 3, 4 och 5 krävs minst 20, 30 resp 40 poäng</li><li>• Förklara alla led</li><li>• Skriv läsligt och begripligt</li><li>• Om du ritar kurvor, ange vad du har på axlarna</li><li>• Använd inte röd penna</li><li>• Denna tentamenstes behöver inte lämnas in</li><li>• <i>Lycka till!</i></li></ul>

1. Följande VHDL-kod skapar en triggssignal med ställbar frekvens. Insignalen *clk\_50* är kopplad till en oscillator på 50 MHz. (11)

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3  USE ieee.std_logic_unsigned.all;
4
5  ENTITY fcount IS
6      PORT( clk_50, reset: IN std_logic;
7            freq: IN std_logic_vector(7 DOWNTO 0);
8            trig: OUT std_logic );
9  END ENTITY;
10
11 ARCHITECTURE arch_cnt OF fcount IS
12     SIGNAL counter: std_logic_vector(11 DOWNTO 0);
13     SIGNAL itrig: std_logic;
14 BEGIN
15     cnt: PROCESS(clk_50) BEGIN
16         IF rising_edge(clk_50) THEN
17             IF reset='1' THEN
18                 counter <= (OTHERS => '0');
19                 itrig <= '0';
20             ELSE
21                 counter <= counter+1;
22                 IF counter(11 DOWNTO 4)=freq THEN
23                     counter <= (OTHERS => '0');
24                     itrig <= NOT itrig;
25                 END IF; -- counter
26             END IF; -- reset
27         END IF; -- clk_50
28         trig <= itrig;
29     END PROCESS cnt;
30 END ARCHITECTURE;

```

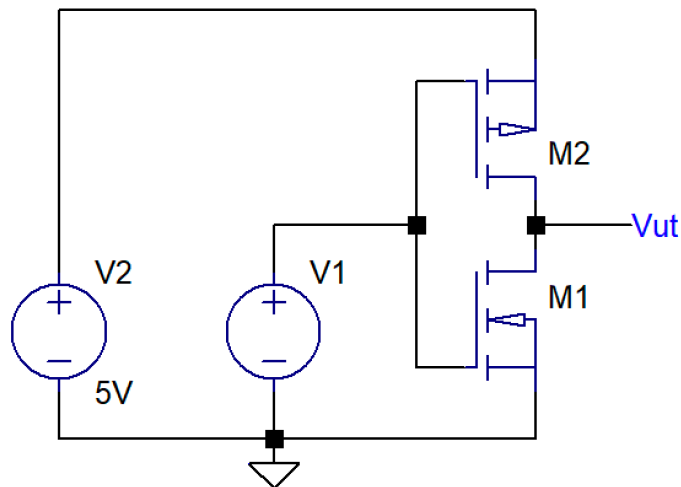
- (a) Beskriv utsignalen *trig* om *freq* sätts till "00000000". (2)
- (b) Vilka frekvenser går att ställa in med *freq*? (3)
- (c) Modifiera koden så att den interna signalen *itrig* inte behövs. Raderna 13 och 28 skall alltså tas bort. Vilken eller vilka rader behöver ändras, och hur? Inga nya rader får läggas till. (2)
- (d) Modifiera den ursprungliga koden (inte svaret på (c)-uppgiften) genom att lägga till en ny insignal *sec*. Om *sec* är '1' så skall *trig* ha den exakta frekvensen 1 Hz, medan om *sec* är '0' så är funktionen som innan. Ange exakt vilka ändringar och tillägg som görs i koden. (4)
2. Följande VHDL-process implementeras för att ingå i ett digitalt kommunikationssystem. Signalerna *t1*, *t2* och *memory* är definierade som interna signaler i arkitekturen. Triggssignalerna *t1* och *t2* genereras i en annan process. Koden kompilerar utan problem och den fungerar i simulering med ModelSim, men inte i hårdvara (efter syntes till en FPGA). (10)

```

45 process(t1, t2) begin
46   if t2='1' then
47     memory <= x;
48   elsif t1='1' then
49     memory(n-2 downto 0) <= memory(n-1 downto 1);
50   end if;
51   y <= memory(0);
52 end process;

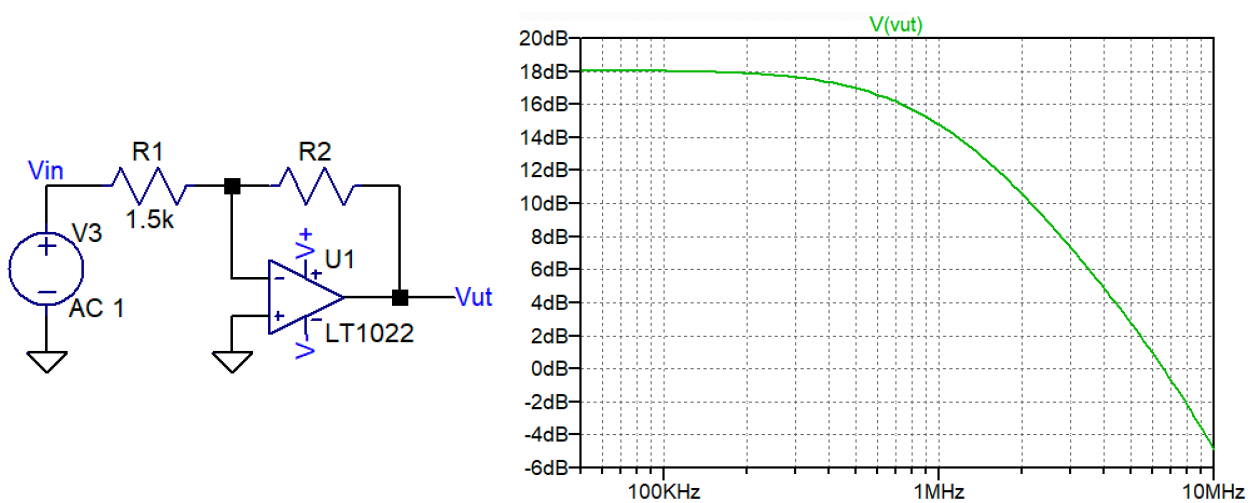
```

- (a) Beskriv i ord eller med en skiss vilken operation som utförs på rad 49. (1)
- (b) Skriv en entitet där  $x$ ,  $y$  och  $n$  definieras. (VHDL-syntaxen behöver inte vara perfekt.) (3)
- (c) Förklara hur denna process kan användas i ett digitalt kommunikationssystem, t.ex. genom att ange vad signalerna  $x$  och  $y$  representerar och hur de kopplas till andra delar av systemet. (2)
- (d) Vad är det för fel i VHDL-koden? (1)
- (e) Rätta koden. Ange vilka rader som skall ändras, och hur. (2)
- (f) Varför fungerar koden ovan, trots felet, i simulering? (1)
3. Följande figur visar ett kopplingschema för att simulera en viss kretsfamilj i LTspice. (8)

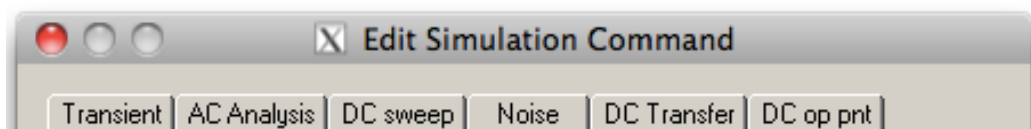


- (a) Vilken typ av transistorer ingår? (1)
- (b) Vilken kretsfamilj simuleras? (1)
- (c) Beskriv en teknisk fördel med denna kretsfamilj. Beskriv, utgående från transistorernas egenskaper, hur denna fördel uppnås i kretsen ovan. (2)
- (d) Vilken uppgift har spänningen V2? (1)
- (e) Skissa spänningen  $V_{ut}$  som funktion av spänningen V1. (2)
- (f) Vilket simuleringskommando i LTspice använder man enklast för att plotta en figur som i deluppgift (e)? Tillgängliga kommandon är: (1)

4. I större konstruktionsprojekt, både inom industrin och utbildning, tillämpas systematiska metoder för test och felsökning. Antag att man i labbet har byggt upp en elektronikkonstruktion och att den inte fungerar som avsett. Beskriv steg för steg hur man bör gå tillväga för att på ett systematiskt sätt felsöka konstruktionen, och vilka instrument som används i varje steg av felsökningen. (5)
5. Vilken ljudtrycksnivå i dB SPL får man från en hörlur med impedansen  $16 \Omega$  och känsligheten 100 dB SPL @ 1 mW om spänningens effektivvärde över hörluren är 250 mV? (2)
6. I följande figur visas resultatet av en simulering i LTspice. (7)

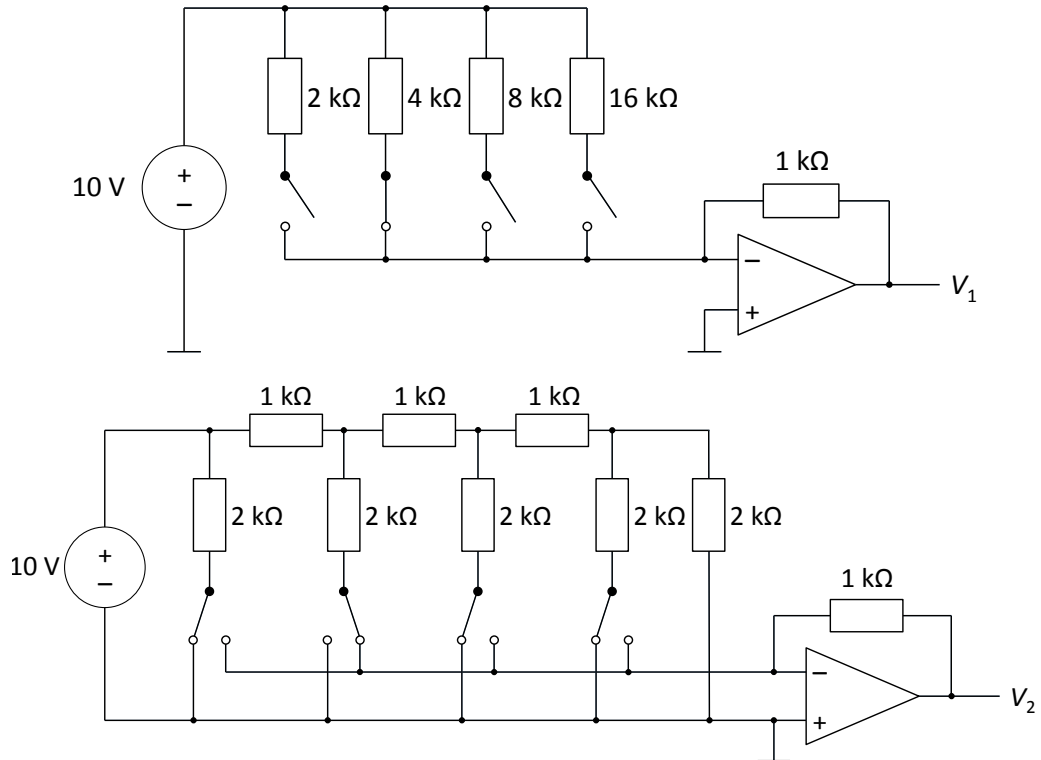


- (a) Vilket simuleringskommando har använts i LTspice? De sex tillgängliga simuleringskommandona är: (1)



- (b) Beräkna värdet på resistorn  $R_2$ , som saknas i figuren. (2)
- (c) Hur stor är förstärknings-bandbredds-produkten hos den *icke återkopplade* operationsförstärkaren LT1022? (2)
- (d) Visa hur amplitudfunktionen ovan skulle förändras om resistorn  $R_2$  i stället väljs till 6.8 k $\Omega$ . Svara med en skiss, som visar både kurvan ovan och den beräknade kurvan för 6.8 k $\Omega$  i samma diagram, så att likheter och skillnader mellan kurvorna framgår. Gradera axlarna. (2)

7. Nedanstående kopplingsscheman visar två sätt att implementera en viss uppgift. De utför alltså i princip samma funktion. Strömbrytarna styrs elektroniskt. (7)



- (a) Beräkna  $V_1$  med strömbrytarna i angivna lägen. (2)
- (b) Beräkna  $V_2$  med strömbrytarna i angivna lägen. (3)
- (c) Vilken är funktionen (tillämpningen) som utförs? (1)
- (d) Vilken av de båda kopplingarna är lämpligast om funktionen skall implementeras i en integrerad krets? Varför? (1)

# Formelsamling

## SSY011 Elektriska system

v. 1.06, 2 september 2019

Detta blad bifogas tentamina i SSY011 Elektriska system.

### Decibel, definition

$$\text{dB} = 10 \log_{10} \frac{P_1}{P_0}$$

### Decibel, speciella referensnivåer

$$\text{dBW} = 10 \log_{10} \frac{P}{1\text{W}}$$

$$\text{dBm} = 10 \log_{10} \frac{P}{1\text{mW}}$$

$$\text{dBV} = 20 \log_{10} \frac{U_{\text{eff}}}{1\text{V}}$$

$$\text{dB SPL} = 20 \log_{10} \frac{p}{20\mu\text{Pa}}$$

(94 dB SPL  $\leftrightarrow$  1 Pa)

### FET, n-kanal

$$I_D = \begin{cases} 0 & \text{if } U_{GS} \leq U_T \\ \beta(U_{GS} - U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

### FET, p-kanal

$$I_D = \begin{cases} 0 & \text{if } -U_{GS} \leq -U_T \\ -\beta(-U_{GS} + U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

### Butterworth-filter

Ordning	Polynom $P(a)$
1	$1 + a$
2	$1 + 1.414a + a^2$
3	$1 + 2a + 2a^2 + a^3$ $= (1 + a)(1 + a + a^2)$
4	$1 + 2.613a + 3.414a^2 + 2.613a^3 + a^4$ $= (1 + 0.765a + a^2)(1 + 1.848a + a^2)$

### Chebyshev-filter typ 1 med 3 dB rippel

Ordning	Polynom $P(a)$
2	$1.414 + 1.287a + 2a^2$ $= 1.414(1 + 0.910a + 1.414a^2)$
3	$1 + 3.711a + 2.384a^2 + 4a^3$ $= (1 + 3.355a)(1 + 0.355a + 1.192a^2)$
4	$1.414 + 3.231a + 9.348a^2 + 4.644a^3 + 8a^4$ $= 1.414(1 + 0.188a + 1.108a^2)(1 + 2.096a + 5.108a^2)$

### Kaskadkopplade 1:a ordningens förstärkarsteg

$$A = A_1^N$$

$$f_{\delta} = f_{\delta 1} \sqrt{2^{1/N} - 1}$$

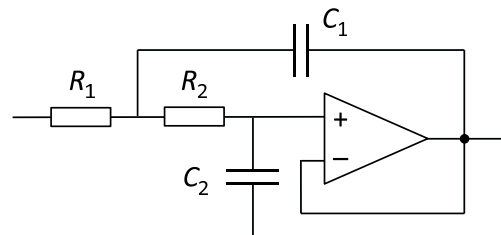
### Filterkonstruktion, tabellmetoden

LP:  $H(s) = \frac{1}{P(s/\omega_{\delta})}$

HP:  $H(s) = \frac{1}{P(\omega_u/s)}$

### Sallen-Key-filter

$$H(s) = \frac{1}{1 + s(R_1 + R_2)C_2 + s^2 R_1 R_2 C_1 C_2}$$



### Komponentvärden

E12	E6
10	10
12	
15	15
18	
22	22
27	
33	33
39	
47	47
56	
68	68
82	