



# CHALMERS

Institutionen för elektroteknik

## TENTAMEN

<b>KURSNAMN</b>	<b>Elektriska system</b>
<b>PROGRAM:</b> namn  åk / läsperiod	<b>Elektroingenjör 180 hp</b>  <b>3/1</b>
<b>KURSBETECKNING</b>	<b>SSY011</b>
<b>EXAMINATOR</b>	<b>Erik Agrell</b>
<b>TID</b>	<b>2019-01-08 kl 14:00–18:00</b>
<b>HJÄLPMEDEL</b>	<b>Typgodkänd räknare</b>
<b>ANSV LÄRARE:</b> namn  telnr  besöker tentamen kl	<b>Erik Agrell</b>  <b>031-772 1762</b>  <b>Ungefär kl 15:00 och 17:00</b>
<b>DATUM FÖR ANSLAG</b> av resultat samt av tid och plats för genomgång av rättning	<b>Resultat meddelas senast 2019-01-29</b>  <b>Visning av rättning efter överenskommelse (mejla agrell@chalmers.se)</b>
<b>ÖVRIG INFORM.</b>  (ex.vis antal frågor, uppgifter, poäng o dyl)	<ul style="list-style-type: none"><li>• <b>Max 50 poäng</b></li><li>• <b>För betyg 3, 4 och 5 krävs minst 20, 30 resp 40 poäng</b></li><li>• <b>Förklara alla led</b></li><li>• <b>Skriv läsligt och begripligt</b></li><li>• <b>Om du ritar kurvor, ange vad du har på axlarna</b></li><li>• <b>Använd inte röd penna</b></li><li>• <b>Denna tentamenstes behöver inte lämnas in</b></li><li>• <b>Lycka till!</b></li></ul>

1. En binärräknare skall klockas med en klocksignal clk på 32 MHz. De 4 mest signifikanta bitarna skall gå till utsignalen data\_ut. Först testas följande VHDL-kod:

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.all;
4
5  entity counter is port (
6      clk: in std_logic;
7      data_ut: out std_logic_vector(7 downto 0);
8      count: buffer std_logic_vector(17 downto 0));
9  end counter;
10
11 architecture beteende of counter is
12 begin
13     process (clk)
14     begin
15         if rising_edge(clk) then
16             count <= count+1;
17         end if;
18         data_ut <= count(17 downto 14);
19     end process;
20 end beteende;

```

- (a) Beräkna frekvensen i Hz hos utsignalens mest signifikanta bit. (1)

Modifiera koden enligt följande. (Deluppgifterna b–d är separata och skall inte kombineras med varandra.)

- (b) Utsignalens mest signifikanta bit skall ha frekvensen 250 kHz. (1)
- (c) Utsignalens mest signifikanta bit skall ha frekvensen ca 1 Hz. (2)
- (d) Räknaren skall kunna räkna upp eller ned vilket skall styras av en insignal upp = '1' för att räkna upp och upp = '0' för att räkna ned. (3)

2. Följande VHDL-kod beskriver en tillståndsmaskin som används för att detektera en viss sekvens i en inkommande dataström. Varje gång sekvensen förekommer i den inkommande dataströmmen skall detta detekteras. Koden är komplett förutom obestämda tillstånd markerade med X1–X10.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
-- Finite state machine to detect a certain sequence
-- DIN is input; RESET asynchronous reset, active high; CLK is the clock.
-- Successful detection is shown on LEDG.

```

```

ENTITY sequence IS PORT (
    DIN, RESET, CLK: IN STD_LOGIC;
    LEDG: OUT STD_LOGIC);
END sequence;

```

```

ARCHITECTURE arch OF sequence IS

```

```

TYPE Statetype IS (U, A, B, C, D, E, F, G, H, I); -- internal signals
SIGNAL state : Statetype;
BEGIN
  PROCESS (CLK, RESET)
  BEGIN
    IF RESET='1' THEN state <= A;
    ELSIF rising_edge(CLK) THEN
      LEDG <= '0';
      CASE state IS
        WHEN A =>
          IF (DIN = '0') THEN state <= B;
          ELSE state <= X1;
          END IF;
        WHEN B =>
          IF (DIN = '1') THEN state <= C;
          ELSE state <= X2;
          END IF;
        WHEN C =>
          IF (DIN = '0') THEN state <= D;
          ELSE state <= X3;
          END IF;
        WHEN D =>
          IF (DIN = '1') THEN state <= E;
          ELSE state <= X4;
          END IF;
        WHEN E =>
          IF (DIN = '1') THEN state <= F;
          ELSE state <= X5;
          END IF;
        WHEN F =>
          IF (DIN = '0') THEN state <= G;
          ELSE state <= X6;
          END IF;
        WHEN G =>
          IF (DIN = '1') THEN state <= H;
          ELSE state <= X7;
          END IF;
        WHEN H =>
          IF (DIN = '0') THEN state <= I;
          ELSE state <= X8;
          END IF;
        WHEN I =>
          LEDG <= '1';
          IF (DIN = '0') THEN state <= X9;
          ELSE state <= X10;
          END IF;
        WHEN OTHERS => state <= A;
      END CASE;
    END IF;
  END PROCESS;

END arch;

```

- (a) Vilken inkommande sekvens detekteras? (1)
- (b) Bestäm lämpliga tillstånd för variablerna X1–X10. (5)
- (c) Rita ett komplett tillståndsdigram för tillståndsmaskinen. (2)

3. En kommandofil för simulering i ModelSim innehåller följande kod.

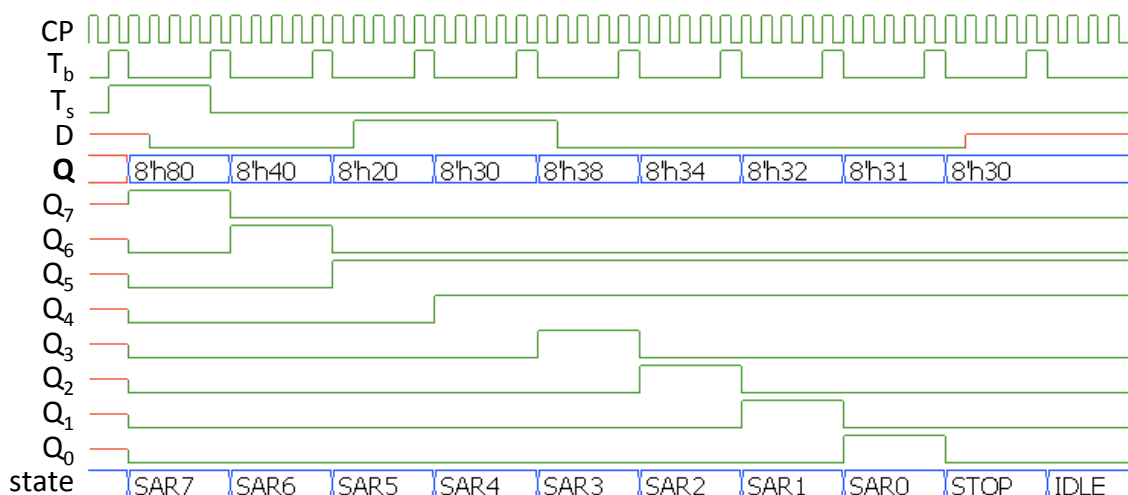
```
vsim work.new_gate
view wave
add wave *
force com 1 0ns, 0 500ns
force next 0 0ns, 1 100ns, 0 150ns
wave zoom full
```

- Vilket ModelSim-kommando kan användas för att exekvera kommandofilen? (1)
- Vilket namn har VHDL-filen som simuleras? (1)
- Ange vilka signaler som finns, och skissa dem som funktion av tiden. (3)
- Det fattas något i kommandofilen. Lägg till en rad så att simuleringen utförs korrekt. (1)

4. En hörlur har enligt datablad impedansen  $16 \Omega$  och känsligheten  $92 \text{ dB SPL @ } 1\text{mW}$ .

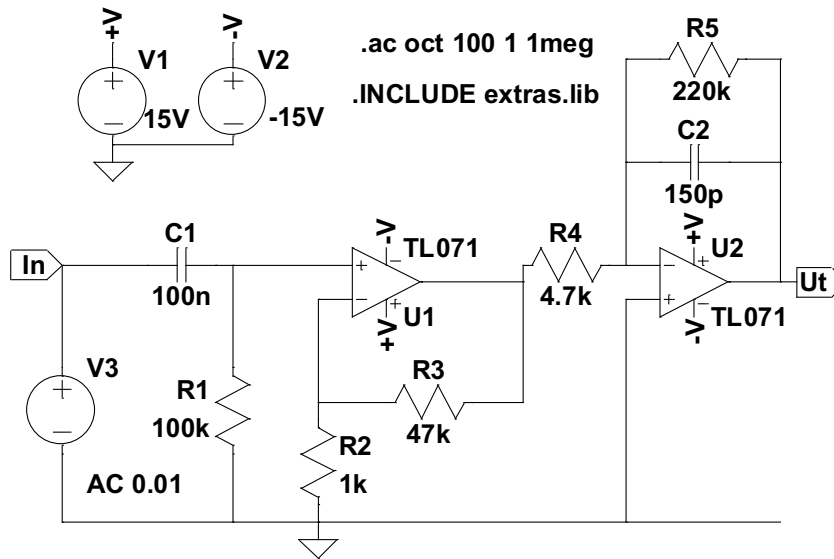
- Vilken ljudtrycksnivå i dB SPL får man om topp-till-topp-spänningen över hörluren är  $400 \text{ mV}$ ? (3)
- Med hur många dB SPL minskar ljudtrycksnivån i deluppgift a om spänningen minskas till  $40 \text{ mV}$ ? (2)
- Med hur många dB SPL minskar ljudtrycksnivån i deluppgift a om spänningen minskas med  $2 \text{ dBV}$ ? (1)

5. Följande figur visar ett tidsdiagram för signalerna i ett 8-bitars successivt approximationsregister (SAR).



- Beskriv kort funktionen hos CP, T<sub>b</sub>, T<sub>s</sub>, D och Q<sub>7</sub>-Q<sub>0</sub>. Ange speciellt om varje signal är insignal eller utsignal för SAR-enheten. (5)
- Om SAR-enheten används i en A/D-omvandlare med omfånget  $\pm 6 \text{ V}$ , vilken analog inspänning ger då upphov till signalerna ovan? (2)

6. Följande krets visar en förstärkarkoppling i LTSpice. Operationsförstärkarna TL071 har en förstärknings-bandbreddprodukt på 3 MHz.



- (a) Beräkna kretsens undre gränzfrequens. (1)
- (b) Beräkna kretsens övre gränzfrequens. (2)
- (c) Beräkna kretsens övre gränzfrequens om kondensatorn C2 tas bort. (2)
- (d) Beräkna den maximala förstärkningen uttryckt i dB. (2)

Det är tillåtet att göra rimliga approximationer, om man anger vilka approximationer som görs.

7. Ett filter har överföringsfunktionen

$$H(s) = \frac{1}{1 + as}$$

där  $a = 4.5 \cdot 10^{-4}$ .

- (a) Vad är det för filter-karakteristik (lågpass, högpass, bandpass, bandspärr), och vilken ordning? (2)
- (b) Bestäm filtrets poler och nollställen. (2)
- (c) Rita ett kopplingsschema för en krets som har denna överföringsfunktion, och ange alla komponenters värden. Nivåerna skall vara rimliga (inga 1 $\Omega$ -motstånd!) och väljas ur E12-serien. (2)
- (d) Bestäm filtrets gränzfrequens eller gränzfrekvenser i kHz. (1)
- (e) Bestäm filtrets dämpning i dB vid frekvensen 3 kHz. (2)

# Formelsamling

## SSY011 Elektriska system

v. 1.05, 31 augusti 2018

Detta blad bifogas tentamina i SSY011 Elektriska system.

### Decibel, definition

$$\text{dB} = 10 \log_{10} \frac{P_1}{P_0}$$

### Decibel, speciella referensnivåer

$$\text{dBW} = 10 \log_{10} \frac{P}{1\text{W}}$$

$$\text{dBm} = 10 \log_{10} \frac{P}{1\text{mW}}$$

$$\text{dBV} = 20 \log_{10} \frac{U_{\text{eff}}}{1\text{V}}$$

$$\text{dB SPL} = 20 \log_{10} \frac{p}{20\mu\text{Pa}}$$

(94 dB SPL  $\leftrightarrow$  1 Pa)

### FET, n-kanal

$$I_D = \begin{cases} 0 & \text{if } U_{GS} \leq U_T \\ \beta(U_{GS} - U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

### FET, p-kanal

$$I_D = \begin{cases} 0 & \text{if } -U_{GS} \leq -U_T \\ -\beta(-U_{GS} + U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

### Butterworth-filter

Ordning	Polynom $P(a)$
1	$1 + a$
2	$1 + 1.414a + a^2$
3	$1 + 2a + 2a^2 + a^3$ $= (1 + a)(1 + a + a^2)$
4	$1 + 2.613a + 3.414a^2 + 2.613a^3 + a^4$ $= (1 + 0.765a + a^2)(1 + 1.848a + a^2)$

### Chebyshev-filter typ 1 med 3 dB rippel

Ordning	Polynom $P(a)$
2	$1.414 + 1.287a + 2a^2$ $= 1.414(1 + 0.910a + 1.414a^2)$
3	$1 + 3.711a + 2.384a^2 + 4a^3$ $= (1 + 3.355a)(1 + 0.355a + 1.192a^2)$
4	$1.414 + 3.231a + 9.348a^2 + 4.644a^3 + 8a^4$ $= 1.414(1 + 0.188a + 1.108a^2)(1 + 2.096a + 5.108a^2)$

### Kaskadkopplade 1:a ordningens förstärkarsteg

$$A = A_1^N$$

$$f_{\delta} = f_{\delta 1} \sqrt{2^{1/N} - 1}$$

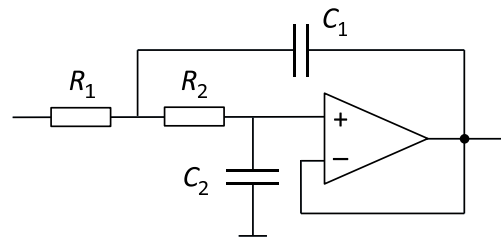
### Filterkonstruktion, tabellmetoden

LP:  $H(s) = \frac{1}{P(s/\omega_{\delta})}$

HP:  $H(s) = \frac{1}{P(\omega_u/s)}$

### Sallen-Key-filter

$$H(s) = \frac{1}{1 + s(R_1 + R_2)C_2 + s^2 R_1 R_2 C_1 C_2}$$



### Komponentvärden

E12	E6
10	10
12	
15	15
18	
22	22
27	
33	33
39	
47	47
56	
68	68
82	