



CHALMERS

Institutionen för elektroteknik

TENTAMEN

KURSNAMN	Elektriska system
PROGRAM: namn åk / läsperiod	Elektroingenjör 180 hp 3/1
KURSBETECKNING	SSY011
EXAMINATOR	Erik Agrell
TID	2018-11-02 kl 8:30–12:30
HJÄLPMEDEL	Typgodkänd räknare
ANSV LÄRARE: namn telnr besöker tentamen kl	Erik Agrell 031-772 1762 Ungefär kl 9:30 och 11:30
DATUM FÖR ANSLAG av resultat samt av tid och plats för genomgång av rättning	Resultat meddelas senast 2018-11-23 Visning av rättning 2018-11-30 kl 12:30–13:15 i J427
ÖVRIG INFORM. (ex.vis antal frågor, uppgifter, poäng o dyl)	<ul style="list-style-type: none">• Max 50 poäng• För betyg 3, 4 och 5 krävs minst 20, 30 resp 40 poäng• Förklara alla led• Skriv läsligt och begripligt• Om du ritar kurvor, ange vad du har på axlarna• Använd inte röd penna• Denna tentamenstes behöver inte lämnas in• <i>Lycka till!</i>

1. Följande VHDL-kod genererar tre signaler, som skall användas till att trigga olika analoga och digitala funktioner i ett kommunikationssystem. Insignalen c hämtas från en kristalloscillator på 50 MHz.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity counter is port(
  c: in std_logic; -- 50 MHz input clock
  reset: in std_logic;
  s1,s2,s3: buffer std_logic
);
end entity;

architecture t181102 of counter is
  signal counter: std_logic_vector(20 downto 0);
  signal bitcounter: std_logic_vector(3 downto 0);
begin

process(c,reset) begin
  if reset='0' then
    counter <= (others => '0');
    bitcounter <= (others => '0');
    s1 <= '0';
    s2 <= '0';
  elsif rising_edge(c) then
    if counter=14 then
      counter <= (others => '0');
      s1 <= '1';
      if bitcounter=9 then
        s2 <= '1';
        bitcounter <= (others => '0');
      else
        s2 <= '0';
        bitcounter <= bitcounter+1;
      end if;
    else
      counter <= counter+1;
      s1 <= '0';
    end if;
  end if;
end process;

  s3 <= s1 and s2;
end architecture;

```

- (a) Vilket namn bör VHDL-filen ha för att fungera i ModelSim- och Quartus-miljöerna? (1)
- (b) Skissa utsignalerna s1, s2, s3 som funktion av tiden. Ange tydligt deras periodtid och pulsbredd. (4)
- (c) Vilken eller vilka av utsignalerna fungerar bäst som styrsignal till en sample-and-hold-krets? Förklara varför. (1)
- (d) Vilken eller vilka av utsignalerna fungerar bäst som triggsignal till andra processer som skall implementeras senare i samma VHDL-arkitektur? Förklara varför. (1)
- (e) Värdet 20 i deklARATIONEN av "counter" är onödigt högt. Vilket är det lägsta värde som "20" kan bytas ut mot utan att funktionen påverkas? (1)
- (f) Vad kan uppstå för problem om s1, s2 och s3 skulle deklarerars som **out** i stället för **buffer**? (1)

2. Följande VHDL-kod beskriver en tillståndsmaskin som används för att detektera en viss sekvens i en inkommande dataström. Varje gång sekvensen förekommer skall detta indikeras med LEDG.

<pre> library ieee; use ieee.std_logic_1164.all; entity sekvens is port (DIN, RESET, CLK: in STD_LOGIC; LEDG: out STD_LOGIC; LEDR: out STD_LOGIC_VECTOR(5 downto 0)); end entity; architecture beteende of sekvens is type statetype is (A, B, C, D, E, F); signal state, next_state: statetype; begin mem: process(CLK, RESET) begin if RESET='1' then state <= A; elsif rising_edge(CLK) then state <= next_state; end if; end process mem; comb: process(state,DIN) begin LEDR <= (others => '0'); LEDG <= '0'; next_state <= state; </pre>	<pre> case state is when A => LEDR(0) <= '1'; if (DIN='0') then next_state <= B; end if; when B => LEDR(1) <= '1'; if (DIN='1') then next_state <= C; end if; when C => LEDR(2) <= '1'; if (DIN='0') then next_state <= D; else next_state <= A; end if; when D => LEDR(3) <= '1'; if (DIN='0') then next_state <= E; else next_state <= C; end if; when E => LEDR(4) <= '1'; if (DIN='1') then next_state <= F; else next_state <= B; end if; when F => LEDR(5) <= '1'; LEDG <= '1'; if (DIN='1') then next_state <= A; else next_state <= D; end if; when others => next_state <= A; end case; end process comb; end architecture; </pre>
---	---

- (a) Rita ett komplett tillståndsdigram för tillståndsmaskinen. (3)
- (b) Vilken inkommande sekvens detekteras? (1)
- (c) Modifiera koden så att sekvensen 11010 detekteras. (4)
3. (a) Ange för var och en av följande överföringsfunktioner typ av filter (lågpass, högpass, bandpass, bandspärr). Tydlig motivering krävs (endast svar ger inga poäng). (4)

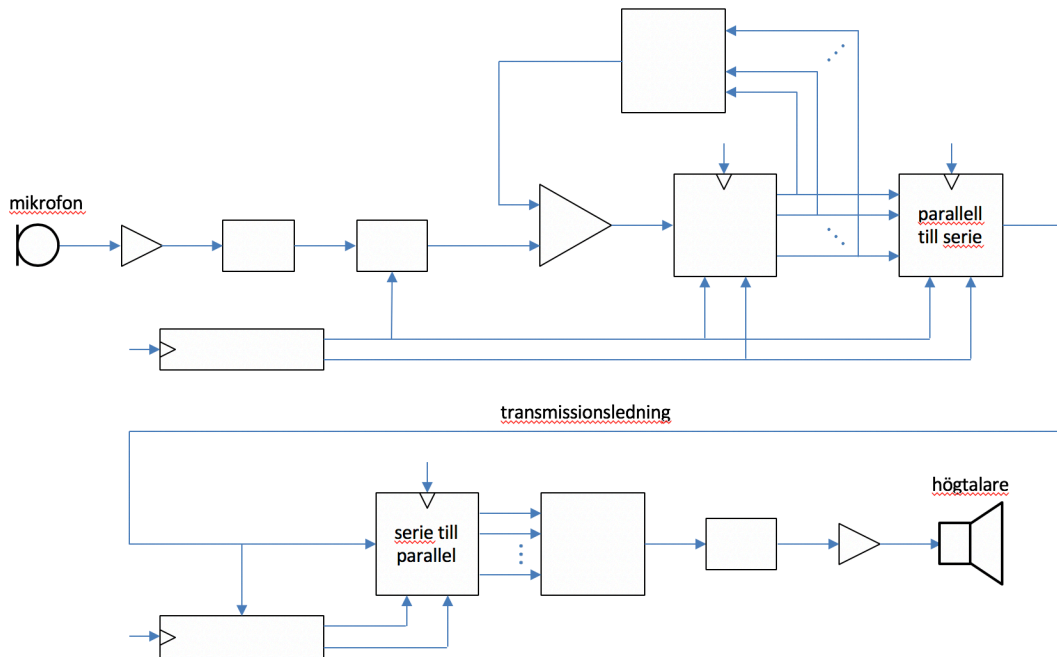
$$H_1(s) = \frac{s}{40 + s}$$

$$H_2(s) = \frac{40s}{800 + 40s + s^2}$$

$$H_3(s) = \frac{200 + s^2}{200 + 20s + s^2}$$

- (b) Beräkna gränshfrekvensen eller gränshfrekvenserna i Hz för filtret med överföringsfunktion $H_1(s)$. (2)
- (c) Beräkna dämpningen i dB vid 1 kHz för filtret med överföringsfunktionen $H_2(s)$. (3)

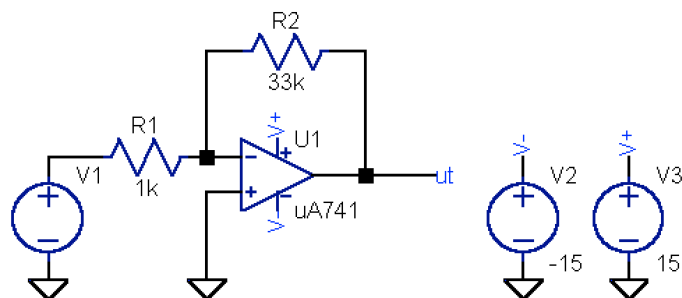
4. Vilken topp-till-topp-spänning får man från en mikrofonförstärkare vid ljudtrycket 100 dB SPL om mikrofonen är en elektretmikrofon med känsligheten -40 dBV/Pa vid $2\text{ k}\Omega$ inimpedans? Förstärkaren har inimpedansen $10\text{ k}\Omega$ och förstärkningen 20 dB . (3)
5. Ett system för digital kommunikation av audiosignaler implementeras enligt följande ofullständiga blockschema.



Placera in följande funktioner i blockschemat. Varje funktion kan förekomma på ett eller flera ställen, och alla riktiga ställen måste anges för full poäng. Motivering behövs inte. (7)

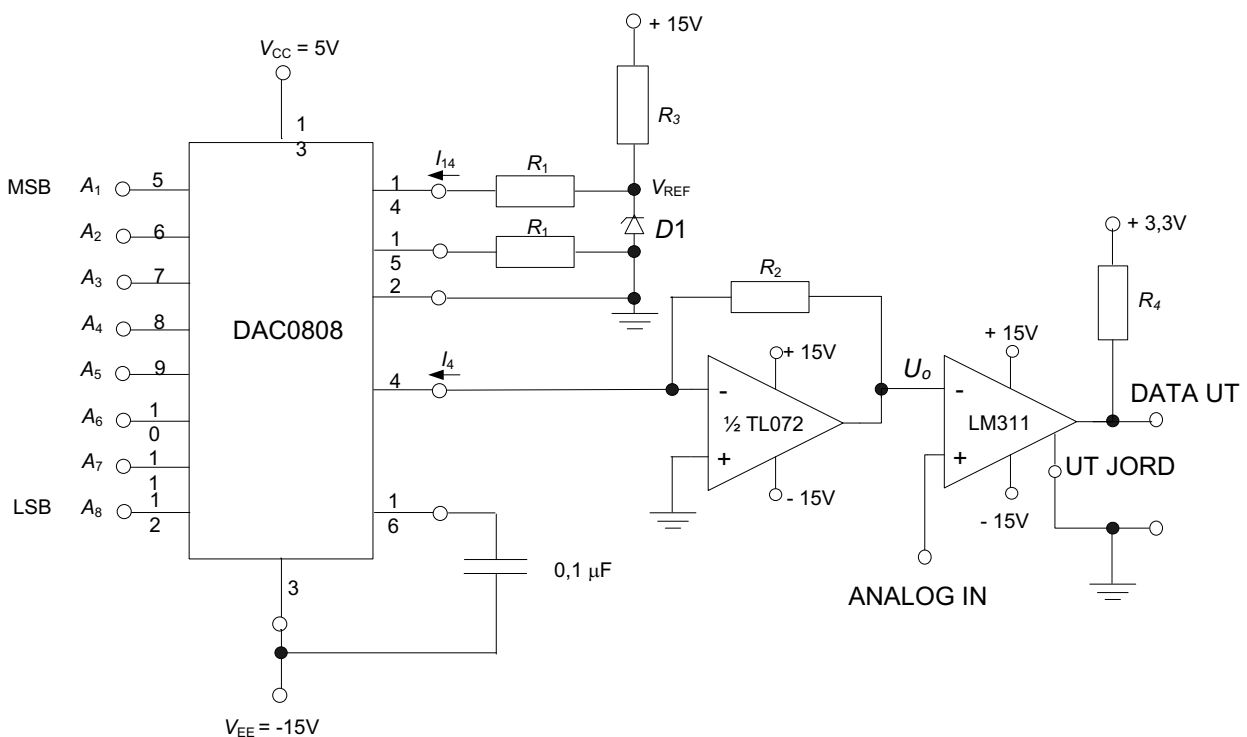
- lågpasfilter
- sample-and-hold-krets
- digital-till-analog-omvandlare
- effektförstärkare
- successivt approximationsregister (SAR)
- synkronisering
- komparator

6. Man vill med hjälp av LTSpice bestämma växelspanningsförstärkningen hos nedanstående koppling vid en insignal på 100 kHz . Detta kan göras på flera olika sätt.



- (a) Beskriv hur detta görs med hjälp av simuleringskommandot Transient. Ange hur signalkällan V1 ställs in och vilken/vilka signaler som plottas. Skissa hur signalen/signalerna i plot-fönstret kommer att se ut, och ange vilka avläsningar och beräkningar som görs för att bestämma förstärkningen. (3)
- (b) Beskriv hur detta görs med hjälp av simuleringskommandot AC Analysis. Ange hur signalkällan V1 ställs in och vilken/vilka signaler som plottas. Skissa hur signalen/signalerna i plot-fönstret kommer att se ut, och ange vilka avläsningar och beräkningar som görs för att bestämma förstärkningen. (3)
- (c) Antag att man kommer fram till att spänningsförstärkningen vid 100 kHz är 9.4 gånger. Uppskatta teoretiskt vilken förstärkning som kan förväntas vid 300 kHz. (2)

7. Nedanstående figur visar ett kopplingsschema för den analoga delen i en A/D-omvandlare med successiv approximation. Den digitala signalen A_1 – A_8 styr hur stor andel av inströmmen I_{14} som speglas på ben 4. Denna ström I_4 omvandlas till en spänning U_o . Komparatorn LM311 jämför den digitalt skapade spänningen U_o med en analog insignal ANALOG IN. Utsignalen från komparatorn DATA UT används sedan för att beräkna nya värden på A_1 – A_8 , så att dessa när A/D-omvandlingen är färdig motsvarar en digital representation av den analoga insignalen.



- (a) Vilken funktion har dioden D1? (1)
- (b) Bestäm R_2 så att U_o kan variera i intervallet 0–6V beroende på A_1 – A_8 , om inströmmen I_{14} är konstant 2 mA. (1)
- (c) Antag att ANALOG IN är 4.0 V och skissa A_1 , A_2 , A_3 , A_4 , U_o och DATA UT som funktion av tiden under en komplett A/D-omvandling. (4)

Formelsamling

SSY011 Elektriska system

v. 1.05, 31 augusti 2018

Detta blad bifogas tentamina i SSY011 Elektriska system.

Decibel, definition

$$\text{dB} = 10 \log_{10} \frac{P_1}{P_0}$$

Decibel, speciella referensnivåer

$$\text{dBW} = 10 \log_{10} \frac{P}{1\text{W}}$$

$$\text{dBm} = 10 \log_{10} \frac{P}{1\text{mW}}$$

$$\text{dBV} = 20 \log_{10} \frac{U_{\text{eff}}}{1\text{V}}$$

$$\text{dB SPL} = 20 \log_{10} \frac{p}{20\mu\text{Pa}}$$

(94 dB SPL \leftrightarrow 1 Pa)

FET, n-kanal

$$I_D = \begin{cases} 0 & \text{if } U_{GS} \leq U_T \\ \beta(U_{GS} - U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

FET, p-kanal

$$I_D = \begin{cases} 0 & \text{if } -U_{GS} \leq -U_T \\ -\beta(-U_{GS} + U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

Butterworth-filter

Ordning	Polynom $P(a)$
1	$1 + a$
2	$1 + 1.414a + a^2$
3	$1 + 2a + 2a^2 + a^3$ $= (1 + a)(1 + a + a^2)$
4	$1 + 2.613a + 3.414a^2 + 2.613a^3 + a^4$ $= (1 + 0.765a + a^2)(1 + 1.848a + a^2)$

Chebyshev-filter typ 1 med 3 dB rippel

Ordning	Polynom $P(a)$
2	$1.414 + 1.287a + 2a^2$ $= 1.414(1 + 0.910a + 1.414a^2)$
3	$1 + 3.711a + 2.384a^2 + 4a^3$ $= (1 + 3.355a)(1 + 0.355a + 1.192a^2)$
4	$1.414 + 3.231a + 9.348a^2 + 4.644a^3 + 8a^4$ $= 1.414(1 + 0.188a + 1.108a^2)(1 + 2.096a + 5.108a^2)$

Kaskadkopplade 1:a ordningens förstärkarsteg

$$A = A_1^N$$

$$f_{\delta} = f_{\delta 1} \sqrt{2^{1/N} - 1}$$

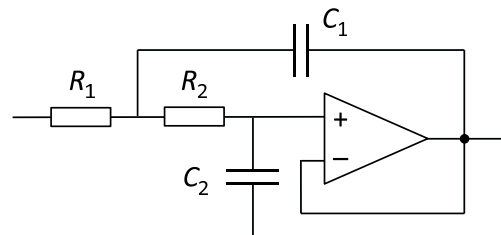
Filterkonstruktion, tabellmetoden

LP: $H(s) = \frac{1}{P(s/\omega_{\delta})}$

HP: $H(s) = \frac{1}{P(\omega_u/s)}$

Sallen-Key-filter

$$H(s) = \frac{1}{1 + s(R_1 + R_2)C_2 + s^2 R_1 R_2 C_1 C_2}$$



Komponentvärden

E12	E6
10	10
12	
15	15
18	
22	22
27	
33	33
39	
47	47
56	
68	68
82	