



CHALMERS

Institutionen för signaler och system

TENTAMEN

KURSNAMN	Elektriska system
PROGRAM: namn åk / läsperiod	Elektroingenjör 180 hp 3/1
KURSBETECKNING	SSY010, SSY011
EXAMINATOR	Erik Agrell
TID	2016-10-25 kl 14:00–18:00
HJÄLPMEDEL	Typgodkänd räknare
ANSV LÄRARE: namn telnr besöker tentamen kl	Erik Agrell 031-772 1762 Ungefär kl 15:00 och 17:00
DATUM FÖR ANSLAG av resultat samt av tid och plats för genomgång av rättning	senast 2016-11-11 Genomgång av rättning: 2016-11-14 kl 12:00–13:00 i rum J427
ÖVRIG INFORM. (ex.vis antal frågor, uppgifter, poäng o dyl)	<ul style="list-style-type: none">• Max 50 poäng• För betyg 3, 4 och 5 krävs minst 20, 30 resp 40 poäng• Förklara alla led• Skriv läsligt och begripligt• Om du ritar kurvor, ange vad du har på axlarna• Använd inte röd penna• Denna tentamenstes behöver inte lämnas in• Lycka till!

1. Det här är VHDL-kod för en enkel räknare, tillsammans med några tabeller ur manualen för FPGA-kortet som används. I syntesverktygets pinn-konfiguration kopplas signalen CP till pinne PIN_L1. Din uppgift är att analysera och komplettera koden. Det är inte nödvändigt att VHDL-syntaxen blir perfekt.

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.all;
4
5  entity counter is port (
6      CP: in std_logic;
7      reset: in std_logic);
8  end entity;
9
10 architecture myarch of counter is
11     signal A: std_logic_vector(20 downto 0);
12 begin
13     process(CP)
14     begin
15         if rising_edge(CP) then
16             if reset='1' then
17                 A <= (others => '0');
18             else
19                 A <= A+1;
20             end if;
21         end if;
22     end process;
23 end architecture;
```

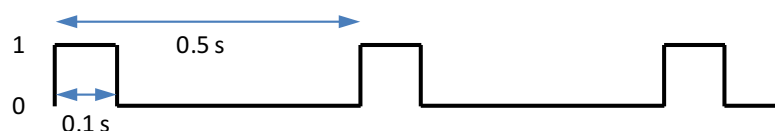
Signal Name	FPGA Pin No.	Description
LEDR[0]	PIN_R20	LED Red[0]
LEDR[1]	PIN_R19	LED Red[1]
LEDR[2]	PIN_U19	LED Red[2]

Table 4.3. Pin assignments for the LEDs.

Signal Name	FPGA Pin No.	Description
CLOCK_27	PIN_D12, PIN_E12	27 MHz clock input
CLOCK_50	PIN_L1	50 MHz clock input
CLOCK_24	PIN_A12, PIN_B12	24 MHz clock input from USB Blaster
EXT_CLOCK	PIN_M21	External (SMA) clock input

Table 4.5. Pin assignments for the clock inputs.

- (a) Komplettera räknaren så att den långsammaste biten i registret A visas på en lysdiod. Ange exakt vilka ändringar som görs i VHDL-koden och var. Ange även pinn-konfigurationen. (2)
- (b) Rita lysdiod-signalen i uppgift (a) som funktion av tiden. (2)
- (c) Modifiera koden så att lysdioden blinkar enligt följande mönster. Ange exakt vilka ändringar som görs i VHDL-koden ovan. (Utgå från koden ovan, inte från ditt svar på uppgift (a).) (5)



2. En binär insignal skall delas upp i två ut signaler, så att varannan etta på ingången går till den ena utsignalen och varannan går till den andra. Följande exempel illustrerar principen.

x	0110011101
y ₁	0100010100
y ₂	0010001001

Utgången y_1 är alltså 1 varannan gång x är 1, och annars är $y_1=0$. Utgången y_2 är också 1 varannan gång x är 1, men inte samtidigt med y_1 .

- (a) Rita tillståndsdigram för en synkron krets som utför den önskade funktionen. Alla tillstånd, insignaler och utsignaler skall anges. (3)
- (b) Komplettera följande VHDL-kod så att den implementerar den önskade funktionen. Infoga lämplig VHDL-kod i de numrerade fälten, utan att ändra den befintliga koden. Insignalen $xclock$ är synkroniserad med bitarna i x . Det är inte nödvändigt att VHDL-syntaxen blir perfekt. (6)

```

library ieee;
use ieee.std_logic_1164.all;

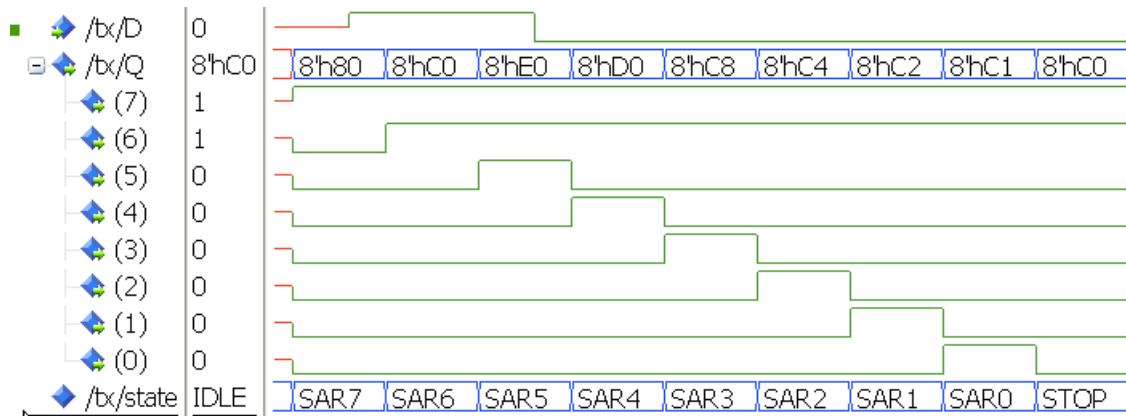
entity fsm is port(
  ①
end entity;

architecture arch of fsm is
  type statetype is (U, ②);
  signal state: statetype;

begin
  process(reset,xclock)
  begin
    if reset='1' then
      state <= ③
    elsif rising_edge(xclock) then
      case state is
        when ④
          if x='0' then
            ⑤
          else
            ⑥
          end if;
        when ⑦
          ⑧
      end case;
    end if;
  end process;
end architecture;

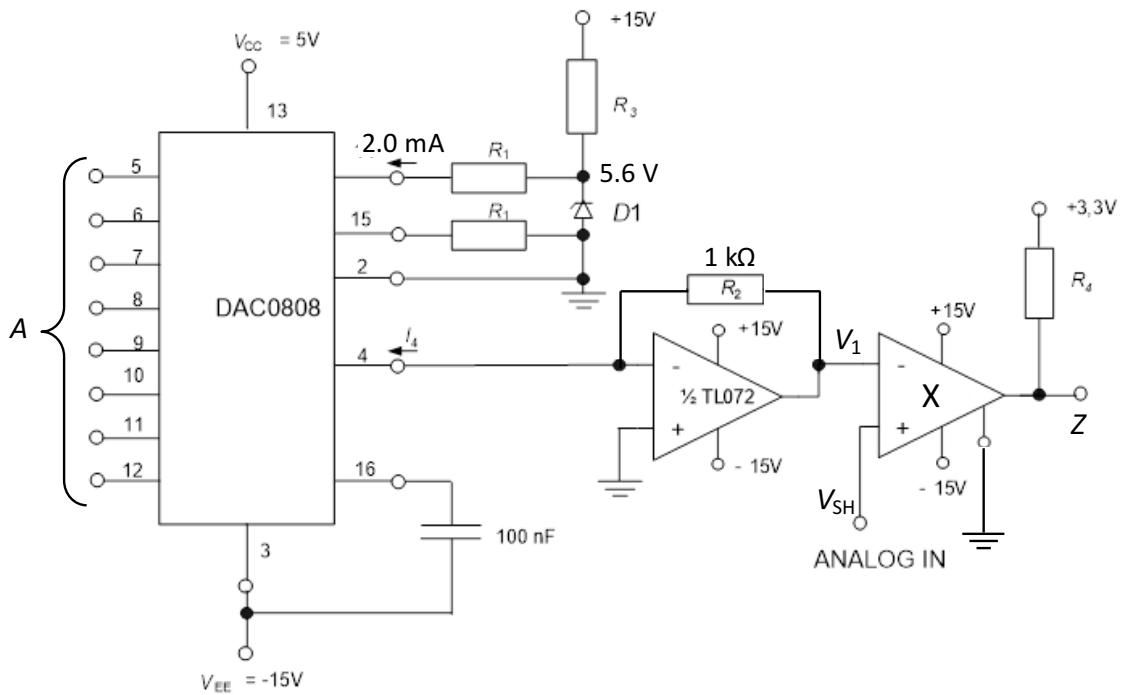
```

3. Följande figur visar resultatet av en simulering i ModelSim av en SAR-krets.



Figur 1

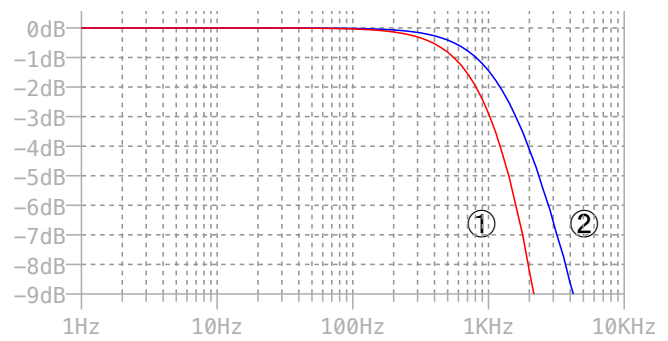
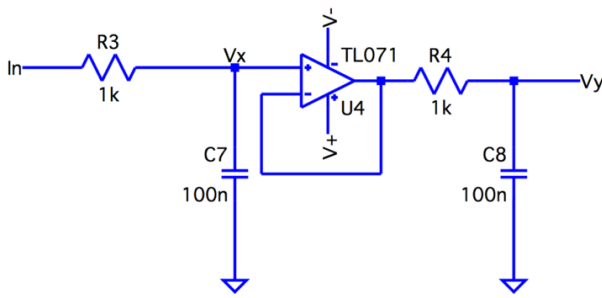
- (a) Ange för var och en av signalerna D , Q och $state$ om de är insignaler, utsignaler eller interna signaler (alltså varken in- eller utsignaler) till SAR-kretsen. (2)
- (b) För att testa SAR-kretsen i hårdvara behövs förutom en FPGA även kopplingen i figur 2. Ange hur denna koppling skall anslutas till SAR-kretsen, alltså vilka kopplingspunkter i figur 2 som hör ihop med in- och utsignalerna i uppgift (a). (2)



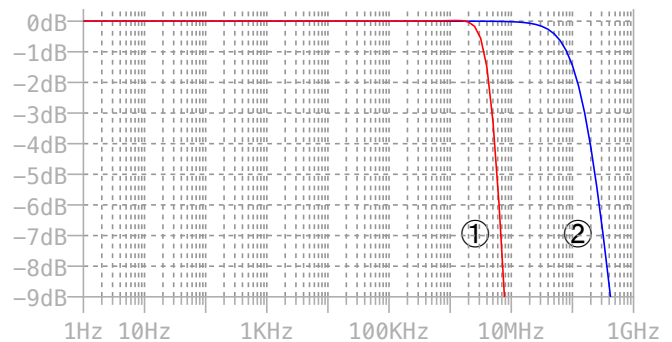
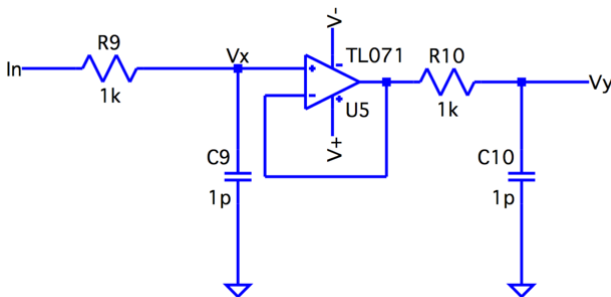
Figur 2

- (c) Vilken funktion utför SAR-kretsen tillsammans med kretsen i figur 2, när de har kopplats ihop enligt uppgift (b)? (1)
- (d) Vilken funktion har kopplingen ovan från A till V_1 ? (1)
- (e) Vilken funktion har komponenten markerad X ? Beskriv matematiskt hur dess utsignal Z beror på V_1 och V_{SH} . (2)
- (f) Med koppling enligt uppgift (b), vilken spänning har V_{SH} för att generera signalerna i figur 1? (2)

4. Nedanstående krets kopplas upp och simuleras i Spice. Den använda operationsförstärkaren har en förstärknings-bandbredds-produkt på ca 4 MHz.

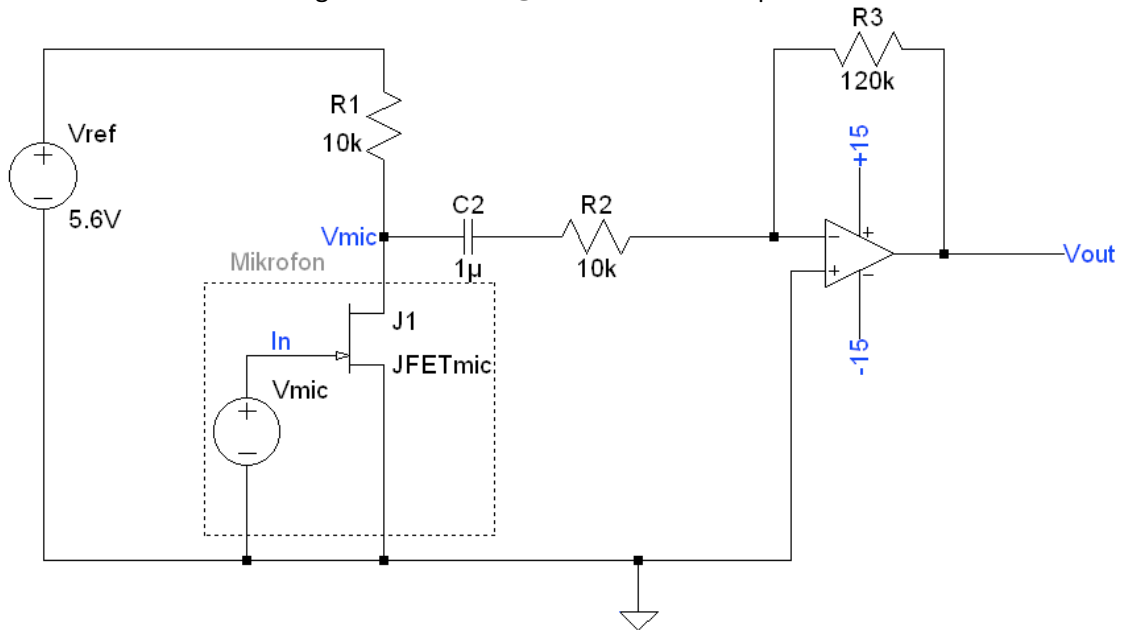


- (a) Vad har denna krets för funktion? (1)
- (b) Amplitudfunktionen vid V_x och V_y analyseras och Bodediagrammen ovan erhålls. Kurvorna ① och ② erhålls, men vilken av dem representerar amplitudfunktionen vid V_x respektive V_y ? Motivera svaret utgående från kretsens egenskaper. (1)
- (c) Vad har spänningsföljaren för uppgift? Vad skulle hända om man tar bort den? (1)
- (d) Beräkna teoretiskt gränshänsfrekvensen i punkten V_x . Beräkna teoretiskt dämpningen i dB vid denna frekvens i punkten V_y . (3)
- (e) Beräkna teoretiskt gränshänsfrekvensen i punkten V_y . (1)
- (f) Kapacitanserna minskas till 1 pF så att kretsen blir enligt nedanstående figur. Förklara varför det nu är så stor skillnad mellan amplitudfunktionerna i V_x och V_y (mycket större skillnad än ovan). Inga beräkningar behövs. (2)



- (g) Vilken simuleringstyp användes i LTspice för att rita amplitudfunktionerna ovan? Välj mellan Transient, AC Analysis, DC sweep, Noise, DC Transfer och CD op pnt. (1)
- (h) Förklara hur man kan mäta/beräkna gränshänsfrekvensen med hjälp av någon annan simuleringstyp i LTspice än den som användes för att skapa figurerna ovan. Vilken simuleringstyp väljer du och hur ställer du in spänningskällan "In"? Skissa signalerna som du mäter och beskriv hur du beräknar gränshänsfrekvensen ur dessa signaler. (2)

5. Nedanstående krets används för att mäta ljudnivån hos en akustisk signal, som kan antas vara sinusformig. Operationsförstärkarens förstärknings-bandbredds-produkt är 3 MHz och elektretmikrofonens känslighet är -39 dBV @ 1 Pa vid 2 k Ω inimpedans.



- (a) Vilken inimpedans ser mikrofonen? (1)
- (b) Beräkna mikrofonens känslighet i dBV @ 1 Pa vid denna inimpedans. (2)
- (c) Beräkna förstärkningen i dB från V_{mic} till V_{out} . (1)
- (d) Beräkna vid vilken ljudtrycksnivå i dB SPL som utsignalens amplitud är 10 V. (3)
- (e) Beräkna undre och övre gränshäufigheter hos förstärkaren från V_{mic} till V_{out} . (3)

Formelsamling

SSY011 Elektriska system

v. 1.03, 29 augusti 2016

Detta blad bifogas tentamina i SSY011 Elektriska system.

Decibel, definition

$$\text{dB} = 10 \log_{10} \frac{P_1}{P_0}$$

Decibel, speciella referensnivåer

$$\text{dBW} = 10 \log_{10} \frac{P}{1\text{W}}$$

$$\text{dBm} = 10 \log_{10} \frac{P}{1\text{mW}}$$

$$\text{dBV} = 20 \log_{10} \frac{U_{\text{eff}}}{1\text{V}}$$

$$\text{dB SPL} = 20 \log_{10} \frac{p}{20\mu\text{Pa}}$$

(94 dB SPL \leftrightarrow 1 Pa)

FET, n-kanal

$$I_D = \begin{cases} 0 & \text{if } U_{GS} \leq U_T \\ \beta(U_{GS} - U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

FET, p-kanal

$$I_D = \begin{cases} 0 & \text{if } -U_{GS} \leq -U_T \\ -\beta(-U_{GS} + U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

Butterworth-filter

Ordning	Polynom $P(a)$
1	$1 + a$
2	$1 + 1.414a + a^2$
3	$1 + 2a + 2a^2 + a^3$ $= (1 + a)(1 + a + a^2)$
4	$1 + 2.613a + 3.414a^2 + 2.613a^3 + a^4$ $= (1 + 0.765a + a^2)(1 + 1.848a + a^2)$

Chebyshev-filter typ 1 med 3 dB rippel

Ordning	Polynom $P(a)$
2	$1.414 + 1.287a + 2a^2$ $= 1.414(1 + 0.910a + 1.414a^2)$
3	$1 + 3.711a + 2.384a^2 + 4a^3$ $= (1 + 3.355a)(1 + 0.355a + 1.192a^2)$
4	$1.414 + 3.231a + 9.348a^2 + 4.644a^3 + 8a^4$ $= 1.414(1 + 0.188a + 1.108a^2)(1 + 2.096a + 5.108a^2)$

Kaskadkopplade 1:a ordningens förstärkarsteg

$$A = A_1^N$$

$$f_{\delta} = f_{\delta 1} \sqrt{2^{1/N} - 1}$$

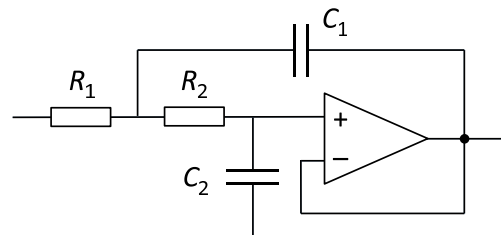
Filterkonstruktion, tabellmetoden

LP: $H(s) = \frac{1}{P(s/\omega_{\delta})}$

HP: $H(s) = \frac{1}{P(\omega_u/s)}$

Sallen-Key-filter

$$H(s) = \frac{1}{1 + s(R_1 + R_2)C_2 + s^2 R_1 R_2 C_1 C_2}$$



Komponentvärden

E12	E6
10	10
12	
15	15
18	
22	22
27	
33	33
39	
47	47
56	
68	68
82	