



CHALMERS

Institutionen för signaler och system

TENTAMEN

KURSNAMN	Elektriska system
PROGRAM: namn åk / läsperiod	Elektroingenjör 180 hp 3/1
KURSBETECKNING	SSY011
EXAMINATOR	Erik Agrell
TID FÖR TENTAMEN	2015-10-27 kl 14:00-18:00
HJÄLPMEDEL	Typgodkänd räknare
ANSV LÄRARE: namn telnr besöker tentamen kl	Erik Agrell 031-772 1762 Ca kl 15:00 och ca kl 17:00
DATUM FÖR ANSLAG av resultat samt av tid och plats för granskning	2015-11-16 Granskning 2015-11-17 kl 11:30–12:30 i rum J427
ÖVRIG INFORM. (ex.vis antal frågor, uppgifter, poäng o dyl)	<ul style="list-style-type: none">• Max 50 poäng• Förklara alla led• Skriv läsligt och begripligt• Använd inte röd penna• Denna tentamenstes behöver inte lämnas in• Lycka till!

1. Följande VHDL-kod genererar en fyrkantvåg *pulse*. Insignalen *clock* ansluts till en kristaloscillator på 10 MHz.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity squarewave is port (
    clock: in std_logic;
    pulse: out std_logic);
end squarewave;

architecture arch of squarewave is
    signal timer: std_logic_vector(6 downto 0);
begin
    process(clock)
    begin
        if rising_edge(clock) then
            timer <= timer + 1;
        end if;
    end process;
    pulse <= timer(5) and timer(6);
end arch;
```

- (a) Vilken frekvens har fyrkantvågen *pulse*? (1p)
- (b) Vilken "duty cycle" har fyrkantvågen, d.v.s. hur stor andel av tiden har den nivå '1'? (1p)
- (c) Ändra koden så att fyrkantvågens frekvens halveras, med samma duty cycle. (2p)
- (d) Ändra koden så att fyrkantvågen får frekvensen 30 kHz och en duty cycle på 1/3. (3p)
2. Följande rader exekveras i ModelSim för att testa en kretslösning.

```
vsim work.shiftregister
view signals wave
add wave -r /*
force clk 0 0ns, 1 10ns -repeat 20ns
force x 1 0ns, 0 30ns, 1 50ns
```

- (a) Vad kallas filtypen? (1p)
- (b) Lägg till en rad för att utföra simuleringen under 100 ns. (1p)
- (c) Rita de insignaler som genereras, som funktion av tiden under 100 ns. (2p)

3. Följande VHDL-kod implementerar en tillståndsmaskin.

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY fsm IS PORT(
  x, clk: IN std_logic;
  y: OUT std_logic);
END fsm;

ARCHITECTURE beh OF fsm IS
  TYPE state IS (U,start,s1,s2,s3);
  SIGNAL s, nxt: state;
BEGIN

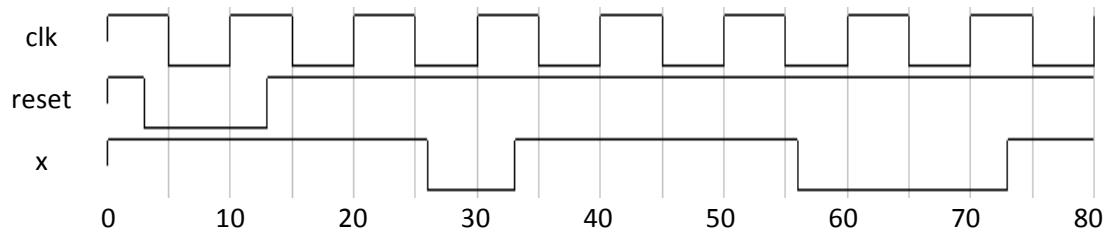
PROCESS(x,s)
BEGIN
  nxt <= s;
  y <= '0';
  CASE s IS
    WHEN start =>
      IF x='1' THEN nxt <= s1;
      END IF;
    WHEN s1 =>
      IF x='0' THEN nxt <= s2;
      END IF;
    WHEN s2 =>
      IF x='0' THEN nxt <= start;
      ELSE
        nxt <= s3;
        y <= '1';
      END IF;
    WHEN s3 =>
      IF x='0' THEN nxt <= s2;
      ELSE nxt <= s1;
      END IF;
    WHEN U =>
      -- do nothing
  END CASE;
END PROCESS;

PROCESS(clk)
BEGIN
  IF rising_edge(clk) THEN
    s <= nxt;
  END IF;
END PROCESS;

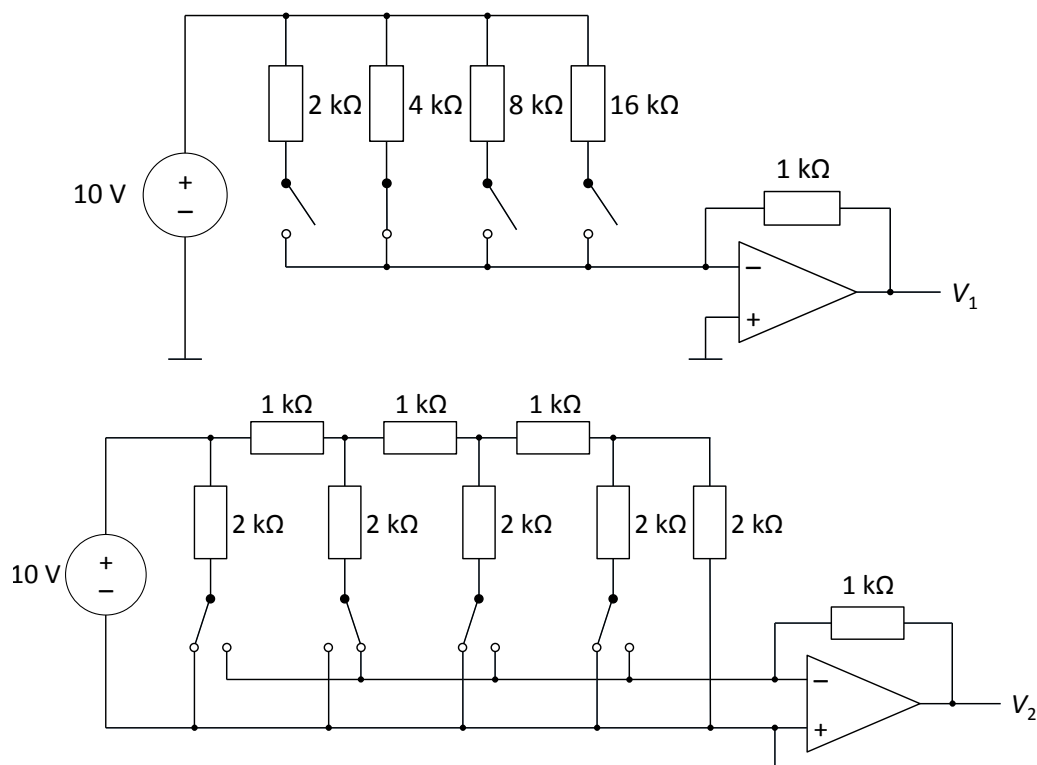
END;
```

(fortsättning på nästa sida)

- (a) Rita ett tillståndsdigram som beskriver VHDL-koden. (2p)
- (b) Lägg till en reset-signal, som sätter processen i startläge när den är 0. Ange alla ändringar i koden som behövs. (3p)
- (c) Vilken typ av tillståndsmaskin beskrivs (Moore, Mealy eller synkron Mealy)? Motivera. (1p)
- (d) Insignalerna varierar enligt följande diagram. Rita hur nxt , s och y varierar med tiden under samma tidsintervall (0–80). (4p)

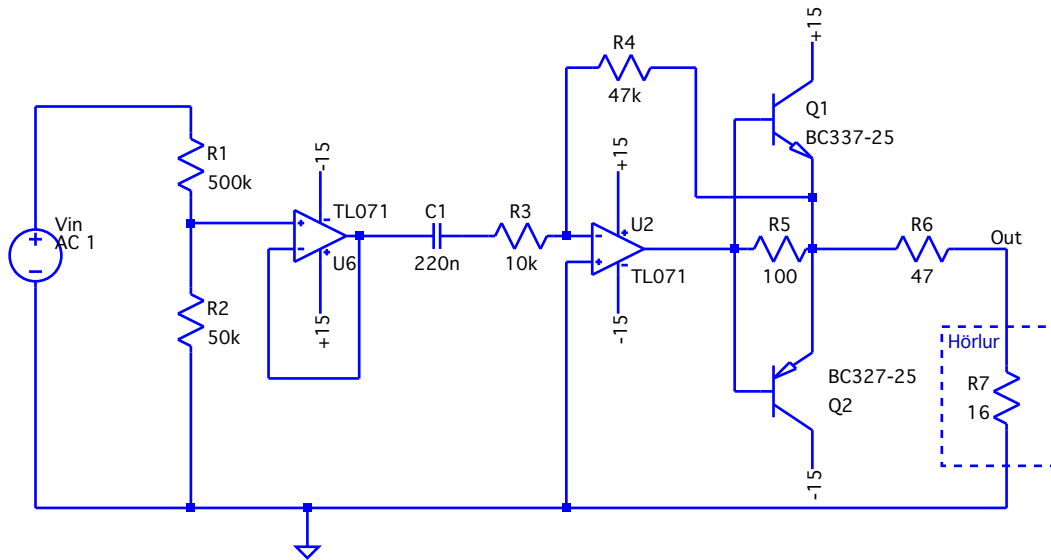


4. Nedanstående kopplingsscheman visar två sätt att implementera en viss uppgift. De utför alltså i princip samma funktion.



- (a) Beräkna V_1 med strömbrytarna i angivna lägen. (2p)
- (b) Beräkna V_2 med strömbrytarna i angivna lägen. (3p)
- (c) Vilken är funktionen (tillämpningen) som utförs? (1p)
- (d) Vilken av de båda kopplingarna är lämpligast om funktionen skall implementeras i en integrerad krets? Varför? (1p)

5. Följande krets visar en effektförstärkare som används för att driva en hörlur. Hörluren kan approximativt anses vara rent resistiv och representeras av R7. Insignalen representeras av signalkällan V_{in} .



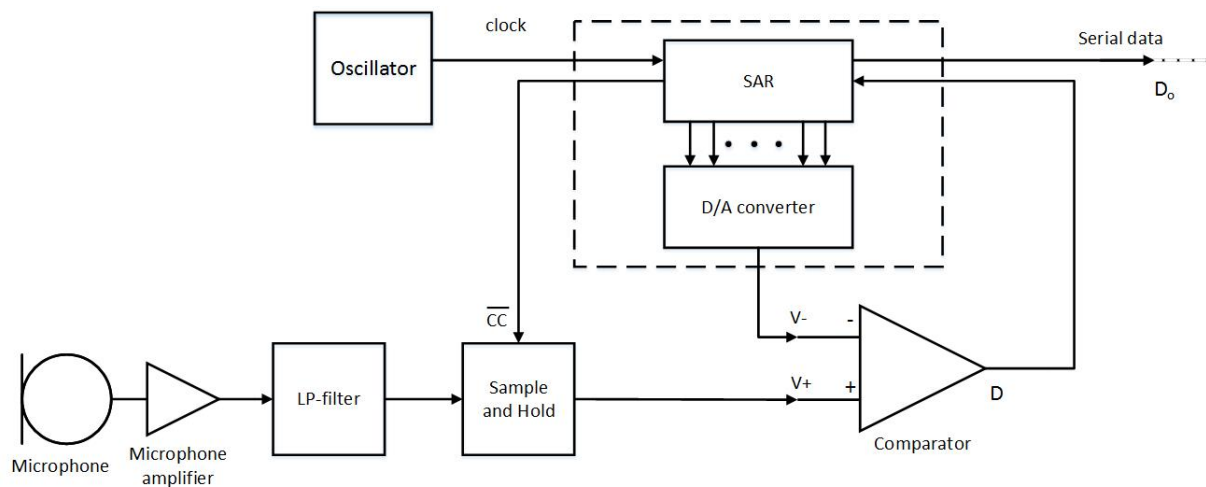
- (a) Vad är kretsens inimpedans? (1p)
- (b) Beräkna spänningsförstärkningen mellan V_{in} och Out. (3p)
- (c) Hörluren har en känslighet på 100 dB SPL vid 1 mW och impedansen 16 Ω . Beräkna ljudtrycksnivån i dB SPL när insignalen V_{in} är en sinussignal med amplituden 5 V. (3p)
- (d) Vad har spänningsföljaren för funktion? Vad skulle hända om man tar bort den och kopplar C1 direkt till R1 och R2? (1p)
- (e) Varför behövs transistorsteget Q1–Q2? Vad skulle hända om man tar bort Q1, Q2 och R5 samt kopplar operationsförstärkarens utgång direkt till R6 och R4? (1p)
- (f) Var har R5 för syfte och vad skulle hända om man tar bort den? Svara genom att skissa utsignalen Out med och utan R5, när insignalen V_{in} är en sinussignal. (1p)
6. Konstruera ett aktivt lågpassfilter med följande specifikationer.

- Chebyshev typ 1
- 3dB rippel
- Ordning 4
- Gränsfrekvens 10 kHz

Rita kopplingsschema och ange alla komponentvärden. Använd resistorer ur E12-serien och kondensatorer ur E6-serien.

(5p)

7. Följande figur visar ett blockschema för en sändare i en digital transmissionslänk. Systemet används för att överföra ljud i frekvensområdet 10 Hz–15 kHz. Upplösningen är 12 bitar per sampel. Enligt protokollet används en datastruktur bestående av en startbit + 12 databitar + en stoppbit.



- (a) Beräkna den lägsta möjliga dataakten i bit/s på transmissionsledningen som uppfyller specifikationerna ovan. (2p)
- (b) Vad är syftet med start- och stoppbitarna? (1p)
- (c) Vilken eller vilka av modulerna i blockschemat ovan behöver ändras om man vill öka upplösningen till 16 bitar per sampel? Frekvensområdet och datastrukturen är oförändrade. Välj en eller flera av *mikrofon, mikrofonförstärkare, lågpasfilter, sample-and-hold, komparator, oscillator, SAR* och *D/A-omvandlare*. Ange kortfattat hur respektive modul skall ändras. (2p)
- (d) Vilken eller vilka av modulerna i blockschemat ovan behöver ändras om man vill ändra frekvensomfånget till 20 Hz–20 kHz? Upplösningen och datastrukturen är oförändrade. (Jämförelsen skall göras med det ursprungliga systemet, inte med (c)-uppgiften.) Välj en eller flera av *mikrofon, mikrofonförstärkare, lågpasfilter, sample-and-hold, komparator, oscillator, SAR* och *D/A-omvandlare*. Ange kortfattat hur respektive modul skall ändras. (2p)

Formelsamling

SSY011 Elektriska system

v. 1.02, 18 oktober 2015

Detta blad bifogas tentamina i SSY011 Elektriska system.

Decibel, definition

$$\text{dB} = 10 \log_{10} \frac{P_1}{P_0}$$

Decibel, speciella referensnivåer

$$\text{dBW} = 10 \log_{10} \frac{P}{1\text{W}}$$

$$\text{dBm} = 10 \log_{10} \frac{P}{1\text{mW}}$$

$$\text{dBV} = 20 \log_{10} \frac{U_{\text{eff}}}{1\text{V}}$$

$$\text{dB SPL} = 20 \log_{10} \frac{p}{20\mu\text{Pa}}$$

(94 dB SPL \leftrightarrow 1 Pa)

FET, n-kanal

$$I_D = \begin{cases} 0 & \text{if } U_{GS} \leq U_T \\ \beta(U_{GS} - U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

FET, p-kanal

$$I_D = \begin{cases} 0 & \text{if } -U_{GS} \leq -U_T \\ -\beta(-U_{GS} + U_T)^2 & \text{if } 0 \leq U_{GS} - U_T \leq U_{DS} \end{cases}$$

Butterworth-filter

Ordning	Polynom $P(a)$
1	$1 + a$
2	$1 + 1.414a + a^2$
3	$1 + 2a + 2a^2 + a^3$ $= (1 + a)(1 + a + a^2)$
4	$1 + 2.613a + 3.414a^2 + 2.613a^3 + a^4$ $= (1 + 0.765a + a^2)(1 + 1.848a + a^2)$

Chebyshev-filter typ 1 med 3 dB rippel

Ordning	Polynom $P(a)$
2	$1.414 + 1.287a + 2a^2$ $= 1.414(1 + 0.910a + 1.414a^2)$
3	$1 + 3.711a + 2.384a^2 + 4a^3$ $= (1 + 3.355a)(1 + 0.355a + 1.192a^2)$
4	$1.414 + 3.231a + 9.348a^2 + 4.644a^3 + 8a^4$ $= 1.414(1 + 0.188a + 1.108a^2)(1 + 2.096a + 5.108a^2)$

Kaskadkopplade 1:a ordningens förstärkarsteg

$$A = A_1^N$$

$$f_{\delta} = f_{\delta 1} \sqrt{2^{1/N} - 1}$$

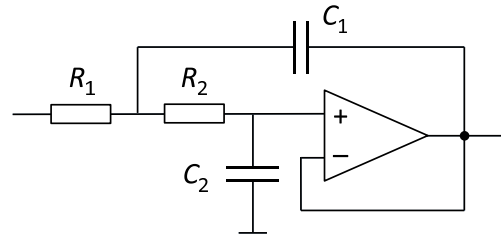
Filterkonstruktion, tabellmetoden

LP: $H(s) = \frac{1}{P(s/\omega_{\delta})}$

HP: $H(s) = \frac{1}{P(\omega_u/s)}$

Sallen-Key-filter

$$H(s) = \frac{1}{1 + s(R_1 + R_2)C_2 + s^2 R_1 R_2 C_1 C_2}$$



Komponentvärden

E12	E6
10	10
12	
15	15
18	
22	22
27	
33	33
39	
47	47
56	
68	68
82	