

Tentamen i kursen Datorsystemteknik (EDA330 för D och EDA370 för E)

Datorsystemteknik för D/E

12/1 2001

Tentamensdatum: Fredag 12/1 2001 kl. 8.45 i sal M

Examinator: Jonas Vasell (D) och Peter Folkesson (E)

Institution: Datorteknik

Förfrågningar: Peter Folkesson (ankn. 1676)

Lösningar: anslås måndag 15/1 på institutionens anslagstavla utanför laboratoriet

Resultat: anslås senast måndag 29/1 på institutionens anslagstavla utanför laboratoriet

Rättningsgranskning: tid och plats anslås tillsammans med resultaten

Betygsgränser: 3: 24-35 poäng, 4: 36-47 poäng, 5: 48-60 poäng

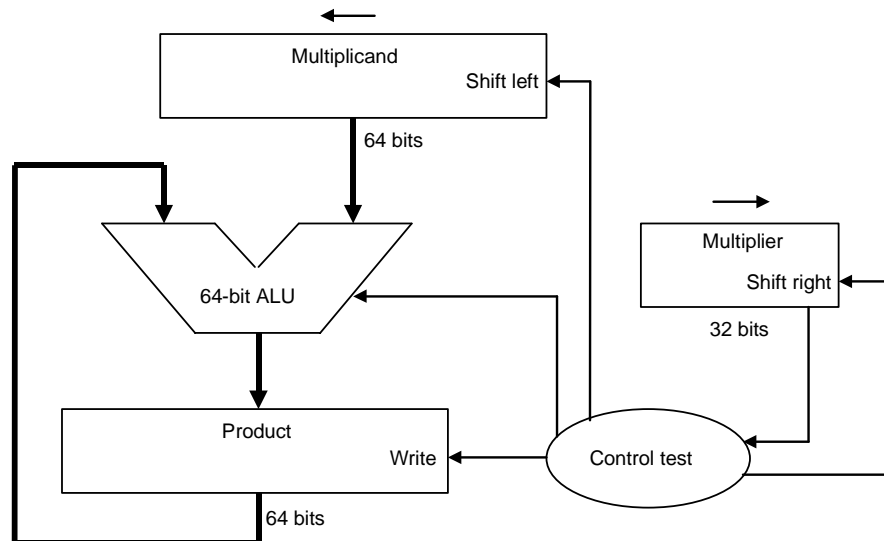
Tillåtna hjälpmedel: inga

Allmänt: För full poäng på en uppgift krävs både ett korrekt svar och en motivering. En bra motivering är minst lika viktig som ett korrekt svar. Redovisa noggrannt alla gjorda antaganden utöver de som anges i uppgiftstexten. Skriv tydligt och använd gärna figurer. Maximal poäng på varje deluppgift anges inom parentes efter uppgiftstexten.

Lycka till!

Uppgifter (1-5):

- 1.
- a. Nedanstående figur visar uppbyggnaden av en multiplikator för 32-bitars tal. Från början är det 64-bitars produktregistret satt till 0 och de 32 minst signifikanta bitarna i multiplikandregistret innehåller multiplikanden (övriga bitar i multiplikandregistret är satta till 0). Om en etta uppträder i multiplikatorregistrets minst signifikanta bit adderas multiplikandregistret med produktregistret och resultatet lagras i produktregistret, annars utförs ingenting. Därefter skiftas multiplikatorregistret ett steg åt höger och multiplikandregistret ett steg åt vänster och det hela upprepas. Det krävs således 32 skift för att utföra multiplikationen. Konfigurera om kretsen så att multiplikatorn kan realiseras till lägre kostnad. ALU och register får förändras men ALUn får fortfarande bara klara addition. Rita en ny figur liknande den nedan. (4 p)



- b. Visa hur multiplikationen $11 \cdot 12$ utförs med Booths algoritim. (4 p)
- c. I en minnesposition i en dator baserad på MIPS-processorn hittas vid ett tillfälle följande ord:

$$10110100001000000000000000000000_2$$

Om ordet tolkas som ett flyttal på IEEE 754-format (8-bitars exponentrepresentation och bias 127), vilket flyttal representerar ordet? Ge svaret på formen $\text{heltal} \times 2^{\text{exponent}}$. (2 p)

- d. Om ordet i uppg. c tolkas som ett heltal på tvåkomplementrepresentation, vilket heltal representerar ordet? Ge svaret på formen $\text{heltal} \times 2^{\text{exponent}}$. (2 p)

2. Antag att vi har ett datorsystem med följande karakteristik: Processorn adresserar virtuellt minne (kombinerat data- och instruktionsminne) med 52-bitars virtuella adresser. Det finns maximalt 256 MB fysiskt primärminne, och ett fyrvägs associativt cacheminne med kapacitet att lagra 64 KB. För sidöversättningar finns en tvåvägs associativ TLB för 128 översättningar. Sidstorleken är 4 KB, och cacheminnets blockstorlek är 32 bytes. För såväl cacheminnet, TLBn som det virtuella minnet tillämpas write-back (copy-back) som skrivningsstrategi. Som utbytesalgoritm för cacheminnet och det virtuella minnet används LRU med 2-bitars tidsstämpel för varje block (sida). För TLBn tillämpas LRU med 1 bits tidsstämpel för varje sidöversättning. Virtuella sidor som tillhör operativsystemet är markerade med en flaggbit (protection bit) för att skyddas mot åtkomst från användarprocesser. Sekundärminnesadresser för sidor som inte finns i primärminnet lagras inte i sidtabellerna.
- Vad är det totala antalet bitar som cacheminnet måste kunna lagra? (3 p)
 - Hur stort minnesutrymme räknat i bytes krävs för att lagra en sidtabell om ett helt antal bytes används för att lagra varje rad i sidtabellen. (3 p)
 - Vad är det totala antalet bitar som TLB måste kunna lagra? (3 p)
3. Ett visst datorsystem är byggt kring en bakplansbuss till vilken är kopplad en processor med en separat instruktions- och datacache, primärminne i form av DRAM, och ett eller flera DMA-gränssnitt till I/O-bussar. Bakplansbussen är synkron med multiplexad överföring av ett ord (32 bitar) data eller adress varje busscykel med en frekvens av 100 MHz. Varje överföring till eller från minnet inleds med en cykel då adressen läggs ut på bussen. I de påföljande cyklerna sker sedan överföring av data ett ord i taget. För varje adress kan antingen ett eller fyra ord överföras. Vid DMA överförs alltid fyra ord åt gången på bakplansbussen. Varje DMA-gränssnitt kan hantera två överföringar samtidigt, men endast en DMA kan initieras åt gången och det tar 200 μ s att initiera en ny DMA. I/O-bussarna är synkrona och överför ett ord i taget med en databandbredd på 50 MB/s. Till I/O-bussarna kopplas skivminnen med 7 ms genomsnittlig sök- och rotationstid, och en överföringsbandbredd på 10 MB/s. Processorn har klockfrekvensen 500 MHz och CPI=1,0. 5% av instruktionerna skriver ett ord till minnet, och 25% av instruktionerna läser ett ord från minnet. Instruktionscachen har en träffsannolikhet på 99%. Datacachen har en träffsannolikhet på 98% för läsningar, och för skrivningar tillämpas write-through av varje enskilt ord. Båda cacheminna använder block om 4 ord.
- Vilken är den maximala databandbredden som bakplansbussen kan klara? (3 p)
 - Vad är databandbredden på bakplansbussen för överföringar till och från cacheminna? (3 p)
 - Vad är bandbreddskravet på bakplansbussen för DMA från en I/O-buss om all DMA gäller 128 KB stora block till eller från skivminnen och två DMA-overföringar ständigt är igång? (3 p)

- d. Hur många I/O-bussar skulle bakplansbussen maximalt kunna belastas med under samma förutsättningar som i föregående deluppgift om hänsyn tas till trafiken till och från processorn? (3 p)
4. Fyra olika strategier för att hantera styrkonflikter (control hazards) i instruktions-pipelines är "always stall", "assume not taken", "assume taken", och "delayed branch".
- a. Förklara kortfattat hur var och en av dessa tekniker fungerar, och vilka relativa för- och nackdelar de har. (8 p)
- b. Beräkna hur många cykler följande MIPS-program tar att exekvera med den pipeline som visas i bilaga 1 för var och en av de tre första av strategierna ovan ("always stall", "assume not taken", "assume taken"):

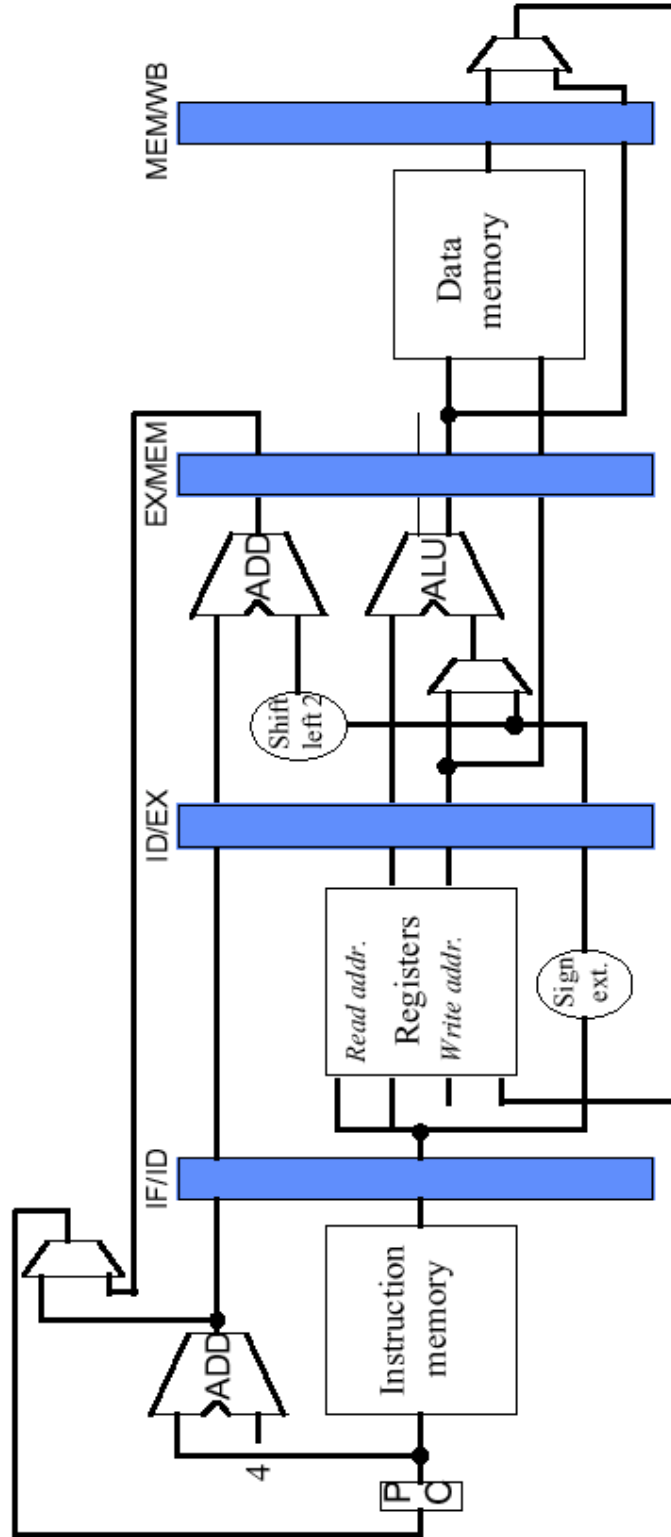
```
L1:  addi $5, $0, 2
      lw   $4, 100($5)
      addi $5, $5, -1
      add  $3, $3, $4
      bne  $5, $0, L1
      sw   $3, 100($0)
```

Utgå från att eventuella datakonflikter hanteras med hjälp av forwarding, och att de därför inte ger upphov till några stalls. Räkna cykeln när första instruktionen hämtas som cykel ett, och svara med numret på den cykel då den sista instruktionen utförs i sista pipeline-steget. För att referera till instruktioner efter den sista instruktionen i programmet (sw \$3, 100(\$0)), använd beteckningarna sw+1, sw+2, osv. (6 p)

5. Nedan följer ett antal frågor med tre svarsalternativ (1, X, 2) vardera, varav endast ett är rätt. Ställ upp svaren som en tipsrad. Varje rätt svar ger ett poäng.
- a. Vad avses med begreppet utbyte (*yield*) vid tillverkning av VLSI-kretsar? (1) Antalet kretsar (*dies*) som kan produceras per kiselbricka (*wafer*). (X) Andelen felfria kapslar (*packaged dies*) av det totala antalet kretsar producerade per kiselbricka. (2) Andelen felfria kretsar (*dies*) av det totala antalet kretsar producerade per kiselbricka.
- b. Med *Big Endian* avses vilken ordning (1) de olika instruktionerna i en superskalär pipeline måste exekvera. (X) delarna av ord med större ordlängd än minnet måste lagras. (2) delarna av ord med större ordlängd än ALU:n måste bearbetas vid aritmetiska operationer.
- c. MIPS-instruktionen lui (1) laddar ett teckenlöst heltal. (X) laddar den mest signifikanta delen av en stor konstant. (2) laddar den minst signifikanta delen av en stor konstant.
- d. Med hög rumslokalitet i minnessystem avses att (1) om en adress refereras så är det stor sannolikhet att den snart refereras igen. (X) om en adress refereras så är det stor sannolikhet att en närliggande adress snart refereras. (2) få adresser refereras.

- e. MIPS-arkitekturen tillåter adressering av (1) 2^{32} ord. (X) 2^{30} ord. (2) 2^{30} byte.
- f. Vad avses med termen *basic block*? (1) En sekvens av instruktioner som saknar hopp-instruktioner. (X) Ett grundläggande byggblock för att konstruera en ALU. (2) En rad i en set-associativ cache.
- g. Det vanligaste sättet att hantera resurskonflikter i en pipeline är att (1) stanna delar av pipelinen tills konflikten löses upp. (X) tidigarelägga tillgång till resultat. (2) förutsäga resultatet av exekveringen.
- h. Mikroprogrammering är en teknik för att (1) styra I/O kretsar. (X) specificera styrsignalbeteendet i en CPU. (2) generera en så minimal assemblerkod som möjligt.
- i. *Write-invalidate* är en teknik för (1) att stoppa felaktiga skrivningar. (X) skrivning i cacheminne. (2) minneskoherens
- j. MIMD står för (1) Multiple In-line Memory Device. (X) Multiple Interrupt Masking Device. (2) Multiple Instruction Multiple Data.
- k. MIPS-instruktionen *slt* (1) skiftar ett tal åt vänster. (X) sätter lt-flaggan. (2) gör en jämförelse om ett tal är mindre än ett annat.
- l. Den typiska överföringshastigheten (*transfer rate*) för en modern hårddisk ligger idag omkring (1) 150 KB/s. (X) 15 MB/s. (2) 150 MB/s.
- m. Ett cacheminne bör implementeras med (1) DRAM-kretsar. (X) SRAM-kretsar. (2) Skivminne.

Bilaga 1: MIPS pipeline



Bilaga 2: MIPS maskininstruktioner

Se nästa sida.