

Tentamen i kursen EDA330

# Datorsystemteknik

28/8 1997

**Tentamensdatum:** 28/8 1997 kl. 8.45 i sal VV

**Examinator:** Jonas Vasell

**Institution:** Datorteknik

**Förfrågningar:** Jonas Vasell (ankn. 1689)

**Lösningar:** anslås fredag 29/8 på institutionens anslagstavla utanför laboratoriet

**Resultat:** anslås senast fredag 5/9 på institutionens anslagstavla utanför laboratoriet

**Rättningsgranskning:** 5/9 9.45-10.15 på institutionen för datorteknik, rum 6339

**Betygsgränser:** 3: 24-35 poäng, 4: 36-47 poäng, 5: 48-60 poäng

**Tillåtna hjälpmedel:** inga

**Allmänt:** För full poäng på en uppgift krävs både ett korrekt svar och en motivering. En bra motivering är minst lika viktig som ett korrekt svar. Skriv tydligt och använd gärna figurer. Maximal poäng på varje deluppgift anges inom parentes efter uppgiftstexten.

**Välgångsönskning:** Lycka till!

## Uppgifter (1-7):

1. Programmet TEMPCAL1 som exekveras i det inbyggda datorsystemet Alfa avläser varje gång det körs 1000 mätvärden från en temperatursensor och beräknar från dessa värden en mängd systemparametrar som lagras i minnet. Sensorvärdena fås genom att Alfa initierar en avläsning av sensorn och sedan väntar på ett svar från sensorn. Alfa är baserad på MIPS-processorn och har 100 MHz klockfrekvens. Exekveringen av TEMPCAL1 har följande karaktäristik:
  - Antal exekverade instruktioner:  $2 \times 10^9$
  - CPI exklusive inverkan av datareferenser: 1,3
  - Andel datareferenser av alla exekverade instruktioner: 20%
  - Träffsannolikhet för datareferenser i cache: 90%
  - Miss penalty för datacachemissar: 10 cykler
  - Genomsnittlig väntetid per sensorvärde: 10 ms
  - a. Hur lång tid tar varje körning av TEMPCAL1? (4 p)
  - b. Genom byte av komponenter i Alfa kan man till samma kostnad antingen halvera miss penalty för datacachemissar, eller halvera genomsnittliga väntetiden för sensorvärden. Vilken av dessa åtgärder bör man välja? (4 p)
2. I en minnesposition i en dator baserad på MIPS-processorn hittas vid ett visst tillfälle följande ord:  $101011000100000000000000000000_2$ .
  - a. Om ordet tolkas som en instruktionskod, vilken är motsvarande instruktion, och vad gör den? En sammanställning över MIPS maskininstruktioner finns i bilaga 1. (2 p)
  - b. Om ordet tolkas som ett flyttal på IEEE 754-format (8 bitars exponentrepresentation, och bias 127), vilket flyttal representerar ordet? Ge svaret på formen heltal  $\times 2^{\text{exponent}}$ . (2 p)
  - c. Om ordet tolkas som ett heltal i tvåkomplementsrepresentation, vilket heltal representerar ordet? Ge svaret på formen heltal  $\times 2^{\text{exponent}}$ . (2 p)

3. Fyra olika strategier för att hantera styrkonflikter (control hazards) i instruktions-pipelines är “always stall”, “assume not taken”, “assume taken”, och “delayed branch”.
- Förklara kortfattat hur var och en av dessa tekniker fungerar, och vilka relativa för- och nackdelar de har. (8 p)
  - Beräkna hur många cykler följande MIPS-program tar att exekvera med den pipeline som visas i bilaga 2 för var och en av de tre första av strategierna ovan (“always stall”, “assume not taken”, “assume taken”):

```

    addi $5, $0, 2
L1:  lw   $4, 100($5)
    addi $5, $5, -1
    add  $3, $3, $4
    bne  $5, $0, L1
    sw   $3, 100($0)

```

Utgå från att eventuella datakonflikter hanteras med hjälp av forwarding, och att de därför inte ger upphov till några stalls. Räkna cykeln när första instruktionen hämtas som cykel ett, och svara med numret på den cykel då den sista instruktionen utförs i sista pipeline-steget. För att referera till instruktioner efter den sista instruktionen i programmet (`sw $3, 100($0)`), använd beteckningarna `sw+1`, `sw+2` och så vidare. (6 p)

4. Antag att vi har ett två-vägs partiellt associativt (two-way set associative) cacheminne med total storlek 16 ord och blockstorlek 1 ord (1 ord = 4 byte). Utbytesalgoritmen är LRU och cacheminnet är ursprungligen tomt. Följande sekvens av referenser till byte-adresser görs: 12, 30, 13, 76, 5, 14, 44, 116, 15, 44, 101, 76, 6, 40, 12. Ange för var och en av dessa referenser om den ger träff eller miss i cacheminnet. Ange också i tabellform innehållet i varje cacheblock efter varje referens, samt vilken hit rate som gäller för de aktuella instruktionerna. (6 p)
5. Antag ett icke-associativt (direct mapped) cacheminne med totala storleken 1 KB. För detta gäller under mätningar vid exekvering av ett visst program att miss-frekvensen är 38% om blockstorleken sätts till 4 B, 22% om blockstorleken sätts till 16 B, 19% om blockstorleken sätts till 64 B, och 27% om blockstorleken sätts till 256 B. Miss penalty är  $4+b/4$  cykler, där  $b$  är blockstorleken, och det görs 1,2 minnesreferenser per instruktion. CPI utan cachemiss är 2, och klockfrekvensen påverkas inte av blockstorleken.
- Varför minskar miss-frekvensen när blockstorleken ökar från 4 B till 16 B, och från 16 B till 64 B? (2 p)
  - Varför ökar miss-frekvensen när blockstorleken när blockstorleken ökar från 64 B till 256 B? (2 p)
  - Vilken av de fyra blockstorlekarna bör man välja för att minimera exekveringstiden? (4 p)

- 6.
- Vad är bussarbitrering (bus arbitration)? (2 p)
  - Förklara hur bussarbitrering går till vid *daisy chain arbitration*. (2 p)
  - Förklara hur bussarbitrering går till vid *distributed arbitration by collision detection*. (2 p)
7. Nedan följer ett antal frågor med tre svarsalternativ (1, X, 2) vardera, varav endast ett är rätt. Ställ upp svaren som en tipsrad. Varje rätt svar ger en poäng.
- Write-update är en teknik för (1) minnekoherens. (X) skrivning i cacheminnen. (2) uppdatering av dynamiska RAM.
  - En processors klockfrekvens beror av (1) hårdvaruteknologi och processororganisation. (X) instruktionsuppsättning och processororganisation. (2) hårdvaruteknologi och program.
  - De minsta detaljer som kan implementeras med VLSI beräknas för 2010 vara c:a (1) 0,3  $\mu\text{m}$ . (X) 0,07  $\mu\text{m}$ . (2) 0,003  $\mu\text{m}$ .
  - Kapaciteten för de största DRAM-kretsarna ökar på tre år med ungefär en faktor (1) 2. (X) 3. (2) 4.
  - Hög tidslokalitet i minnessystem innebär att (1) klocksignalerna är väl distribuerade. (X) om en adress refereras så är det stor sannolikhet att en närliggande adress snart refereras. (2) om en adress refereras så är det stor sannolikhet att den snart refereras igen.
  - En superpipelined processor (1) kan starta exekvering av flera instruktioner samtidigt. (X) har en extra lång pipeline. (2) har en speciellt kraftfull ALU.
  - SIMD står för (1) Single In-line Memory Device. (X) Single Instruction Multiple Data. (2) Single Interrupt Multiple Devices.
  - En N-kub är en nätverkstopologi där (1) varje nod har N grannoder. (X) alla meddelanden måste gå igenom N steg. (2) noderna formar en kub med N processorer i varje hörn.
  - Det minsta positiva tal som kan representeras i IEEE 754 single precision är c:a (1)  $2 \times 10^{-38}$ . (X)  $2 \times 10^{-127}$ . (2)  $2 \times 10^{-308}$ .
  - MIPS-arkitekturen tillåter adressering av (1)  $2^{30}$  ord. (X)  $2^{30}$  byte. (2)  $2^{32}$  ord.
  - MIPS-instruktionen `slt` (1) skiftar ett tal åt vänster. (X) sätter lt-flaggan. (2) gör en jämförelse om ett tal är mindre än ett annat.
  - SCSI är en standard för (1) processor-minnesbussar. (X) bakplansbussar. (2) I/O-bussar.

SLUT

## Bilaga 1: MIPS maskininstruktioner

Se sammanställning av MIPS maskininstruktioner i kursboken (insidan av pärmen i vissa utgåvor).

## Bilaga 2: MIPS pipeline

