

Tentamen i kursen EDA330

# Datorsystemteknik

31/5 1997

**Tentamensdatum:** 31/5 1997 kl. 8.45 i sal VV

**Examinator:** Jonas Vasell

**Institution:** Datorteknik

**Förfrågningar:** Jonas Vasell (ankn. 1689)

**Lösningar:** anslås måndag 2/6 på institutionens anslagstavla utanför laboratoriet

**Resultat:** anslås senast fredag 13/6 på institutionens anslagstavla utanför laboratoriet

**Rättningsgranskning:** 13/6 10.00-11.45 på institutionen för datorteknik, rum 6339

**Betygsgränser:** 3: 24-35 poäng, 4: 36-47 poäng, 5: 48-60 poäng

**Tillåtna hjälpmedel:** inga

**Allmänt:** För full poäng på en uppgift krävs både ett korrekt svar och en motivering. En bra motivering är minst lika viktig som ett korrekt svar. Skriv tydligt och använd gärna figurer. Maximal poäng på varje deluppgift anges inom parentes efter uppgiftstexten.

**Välgångsönskning:** Lycka till!

## Uppgifter (1-5):

1.

- Ett visst program kräver 60 ms CPU-tid att exekvera på MIPS med ett idealt minnessystem där alla minnesreferenser tar endast en klockcykel (dvs inga pipeline stalls). CPI är 1,5, och processorns klockfrekvens är 50 MHz. Hur många instruktioner exekveras i detta program? (2 p)
- Antag att minnessystemet i föregående deluppgift ändras, så att ett cacheminne med 95% träffsannolikhet (hit rate) och 10 cyklers straffkostnad för missar (miss penalty) införs för alla dataåtkomster (instruktionshämtningen går fortfarande på en klockcykel). CPU-tiden för programmet ökar då med 4 ms. Hur många dataåtkomster gjordes i minnessystemet under programexekveringen? (2 p)
- Uttryck det decimala talet 24 på binär form i flyttalsformatet IEEE 754 med enkel precision (32 bitar). Exponenten i detta flyttalsformat är 8 bitar, och har bias 127. (2 p)
- Vad gör MIPS-instruktionerna som har följande binära maskinkoder:  
00100101000001010000000010000001 och  
10001100000000100000000010000001?  
En sammanställning över MIPS maskininstruktioner finns i bilaga 1. (2 p)
- Visa kortast möjliga sekvenser av MIPS-instruktioner för att ladda konstanterna 65540, 65536, 4, och -16 i register R8. Till hjälp finns en sammanställning över MIPS maskininstruktioner i bilaga 1. (4 p)

2. Betrakta följande MIPS-program:

```

lw    $1, 100($2)
add   $3, $3, $1
slti  $5, $3, 500
beq   $5, $0, L1
:
L1:   sub $9, $9, $6
:
```

- Antag att programmet exekveras med den pipeline som visas i bilaga 2, och att ingen hantering av pipelinekonflikter byggts in. Ange var, och hur många, `nop`-instruktioner (som inte gör något) måste läggas in i programmet för att det ska fungera som avsett. (3 p)
- Antag att alla konflikter istället hanteras i hårdvaran genom pipeline stalling. Hur många klockcykler tar det från att den första instruktionen exekveras tills den sista lämnat WB-steget om hoppet tas? (3 p)
- Hur mycket kan antalet klockcykler minska jämfört med föregående deluppgift om data forwarding (bypassing) införs för att hantera datakonflikter där så är möjligt? (3 p)
- Beskriv kortfattat något sätt att med en hårdvarulösning undvika eller minska effekterna av hoppkonflikter i pipelinen? (3 p)

3. Antag att vi har ett datorsystem med följande karakteristik: Processorn adresserar virtuellt minne (kombinerat data- och instruktionsminne) med 32-bitars virtuella adresser. Det finns maximalt 32 MB (1 MB = 1024 KB) fysiskt primärminne, och ett tvåvägs associativt cacheminne med kapacitet att lagra 16 KB (1 KB = 1024 B). Cacheminnets åtkomsttid vid träff är 30 ns. För sidöversättningar finns en fullt associativ TLB för 32 översättningar. TLBns åtkomsttid vid träff är 20 ns. Sidstorleken är 16 KB, och cacheminnets blockstorlek är 4 ord. För såväl cacheminnet, TLBn som det virtuella minnet tillämpas write-back (copy-back) som skrivningsstrategi. Utbytesalgoritmen för cacheminnet är "random", och för det virtuella minnet en approximation av LRU som använder sig av 2-bitars tidsstämplar för varje sida. Virtuella sidor som tillhör operativsystemet är markerade med en flaggbit (protection bit) för att skyddas mot åtkomst från användarprocesser. Som mest är 16 processer aktiva samtidigt. Sekundärminnesadresser för sidor som inte finns i primärminnet lagras inte i sidtabellerna.
- Vad är det totala antalet bitar som cacheminnet måste kunna lagra? (3 p)
  - Hur stort minnesutrymme räknat i bytes behövs för att lagra sidtabeller? (3 p)
  - Vad är det totala antalet bitar som TLB måste kunna lagra? (3 p)
  - Vilken klockfrekvens kan processorn ha som bäst om man antar att en minnesåtkomst i normalfallet ska klaras av inom en processorklockcykel? (3 p)
4. En visst datorsystem är byggt kring en bakplansbuss till vilken är kopplad processor med separata instruktions- och datacache, primärminne i form av DRAM, och ett eller flera DMA-gränssnitt till I/O-bussar. Bakplansbussen är synkron med multiplexad överföring av ett ord (32 bitar) data eller adress varje busscykel med en frekvens av 20 MHz. Varje överföring till eller från minnet inleds med en cykel då adressen läggs ut på bussen. I de påföljande cyklerna sker sedan överföring av data ett ord i taget. För varje adress kan antingen ett eller fyra ord överföras. Vid DMA överförs alltid fyra ord åt gången på bakplansbussen. Varje DMA-gränssnitt kan hantera två överföringar samtidigt, men endast en DMA kan initieras åt gången och det tar 2 ms att initiera en ny DMA. I/O-bussarna är synkrona och överför ett ord i taget med en databandbredd på 4 MB/s. Till I/O-bussarna kopplas skivminnen med 20 ms genomsnittlig sök- och rotationstid, och en överföringsbandbredd på 2 MB/s. Processorn har klockfrekvensen 48 MHz och CPI=1,5, 10% av instruktionerna skriver ett ord till minnet, och 20% av instruktionerna läser ett ord från minnet. Instruktionscachet har en träffsannolikhet på 99%. Datacachet har en träffsannolikhet på 95% för läsningar, och för skrivningar tillämpas write-through av varje enskilt ord. Båda cacheminnena använder block om 4 ord.
- Vilken är den maximala databandbredd som bakplansbussen kan klara? (3 p)
  - Vad är databandbredden på bakplansbussen för överföringar till och från cacheminnena? (3 p)
  - Vad är bandbreddskravet på bakplansbussen för DMA från en I/O-buss om all DMA gäller 16 KB stora block till eller från skivminnen och två DMA-överföringar ständigt är igång? (3 p)
  - Hur många I/O-bussar skulle bakplansbussen maximalt kunna belastas med under samma förutsättningar som i föregående deluppgift om hänsyn tas till trafiken till och från processorn? (3 p)

5. Nedan följer ett antal frågor med tre svarsalternativ (1, X, 2) vardera, varav endast ett är rätt. Ställ upp svaren som en tipsrad. Varje rätt svar ger en poäng.
- a. Minneskoherens innebär (1) att alla tillgängliga kopior av en del av minnet alltid är lika. (X) att det bara får finnas en kopia av varje del av minnet. (2) att minnet är skrivskyddat.
  - b. SPEC är (1) en uppsättning benchmarks för linjära ekvationssystem. (X) ett kernel-baserat benchmark. (2) en standardiserad uppsättning benchmarks baserad på riktiga program.
  - c. De minsta detaljer som kan implementeras med VLSI är idag c:a (1) 0,3  $\mu\text{m}$ . (X) 0,1  $\mu\text{m}$ . (2) 1,0  $\mu\text{m}$ .
  - d. Kapaciteten för de största DRAM-kretsarna ökar på tre år med ungefär en faktor (1) 2. (X) 3. (2) 4.
  - e. CPI för en processor beror på (1) kompilator och arkitektur. (X) arkitektur och implementeringens organisation. (2) implementeringens organisation och hårdvaruteknologi.
  - f. Write-invalidate är (1) en teknik för att stoppa felaktiga skrivningar. (X) ett cache-koherensprotokoll. (2) en typ av minnesåtkomst.
  - g. Hög rumslokalitet i minnessystem innebär att (1) minneskretsarna är tätt packade. (X) om en adress refereras så är det stor sannolikhet att en närliggande adress snart refereras. (2) att få adresser refereras.
  - h. En superskalär processor (1) kan starta exekvering av flera instruktioner samtidigt. (X) har en extra lång pipeline. (2) har en speciellt kraftfull ALU.
  - i. En atomisk operation (1) är en processorinstruktion som utför en serie minnesåtkomster som inte får avbrytas av andra instruktioner. (X) är en processorinstruktion som utför en serie minnesåtkomster som får avbrytas av andra instruktioner. (2) är en processorinstruktion som utför en enda minnesläsning.
  - j. Ett "fat tree" är en nätverkstopologi (1) som är trädbaserad och har högre bandbredd närmare löven än vid roten. (X) som är trädbaserad och har högre bandbredd än en vanlig trädtopologi. (2) som är trädbaserad och har högre bandbredd närmare roten än vid löven.
  - k. Booths algoritm (1) är en metod för flyttalsmultiplikation. (X) är en metod för heltalsmultiplikation. (2) är en metod för flyttalsdivision.
  - l. MIPS-arkitekturen tillåter adressering av (1)  $2^{30}$  ord. (X)  $2^{30}$  byte. (2)  $2^{32}$  ord.

SLUT

## Bilaga 1: MIPS maskininstruktioner

Se sammanställning av MIPS maskininstruktioner i kursboken (insidan av pärmen i vissa utgåvor).

## Bilaga 2: MIPS pipeline

